

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月29日

出 願 番 号

Application Number:

特願2002-220242

[ST.10/C]:

[JP2002-220242]

出 願 人

Applicant(s):

松下電器産業株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3028276

【書類名】 特許願

【整理番号】 R6790

【提出日】 平成14年 7月29日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00 603

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 畑中 一郎

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 山上 由展

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 柴山 晃徳

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

 【予納台帳番号】 139757

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とを含んでいるメモリセルアレイと、

前記欠陥メモリセル行のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダとを具備しており、

前記冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記行デコーダと対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 2】 前記行デコーダと前記冗長救済信号生成回路との間には、前記冗長救済信号を前記行デコーダへ供給するための冗長救済信号線が前記メモリセルアレイを横切るように配置されている、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記行デコーダが前記行アドレス信号に応じて前記複数行のメモリセル行のうちの 1 行を選択するために、前記複数のメモリセル行ごとに前記行方向に沿ってそれぞれ配置された複数のワード線をさらに具備しており、

前記冗長救済信号線は、互いに隣接するワード線の間に配置されている、請求項 2 記載の半導体記憶装置。

【請求項 4】 前記冗長救済信号線と前記複数のワード線とは、同一の配線層に形成されている、請求項 2 記載の半導体記憶装置。

【請求項 5】 前記半導体記憶装置は、スタティックラム（SRAM）であり、

前記メモリセルアレイと前記行デコーダとは、SRAMマクロの内部に配置さ

れており、

前記冗長救済信号生成回路は、前記 S R A M マクロの外部に配置されている、請求項 1 記載の半導体記憶装置。

【請求項 6】 前記行デコーダは、前記行アドレス信号によって示される前記メモリセル行のアドレスが、前記冗長救済信号によって示される前記欠陥メモリセル行のアドレスと一致したときに、前記冗長メモリセル行を選択する、請求項 1 記載の半導体記憶装置。

【請求項 7】 前記メモリセルアレイは、長方形状をしており、

前記行デコーダは、前記メモリセルアレイの前記列方向に沿った一方の辺に対向するように配置されており、

前記冗長救済信号生成回路は、前記メモリセルアレイの前記列方向に沿った他方の辺に対向するように配置されている、請求項 1 記載の半導体記憶装置。

【請求項 8】 前記複数行のメモリセル行をそれぞれ構成する前記複数のメモリセルおよび前記少なくとも 1 行の冗長メモリセル行を構成する複数の冗長メモリセルは、マトリックス状に配置されており、

前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記列アドレス信号によって示されるメモリセル列を選択する列デコーダをさらに具備する、請求項 1 記載の半導体記憶装置。

【請求項 9】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含んでいる第 1 メモリセルアレイおよび第 2 メモリセルアレイと、

前記欠陥メモリセル行のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダとを具備しており、

前記行デコーダは、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、

前記冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記行デコーダと対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 1 0】 前記行デコーダと前記冗長救済信号生成回路との間には、前記冗長救済信号を前記行デコーダへ供給するための冗長救済信号線が前記第 1 メモリセルアレイを横切るように配置されている、請求項 9 記載の半導体記憶装置。

【請求項 1 1】 前記行デコーダが前記行アドレス信号に応じて前記複数行のメモリセル行のうちの 1 行を選択するために、前記複数のメモリセル行ごとに前記行方向に沿ってそれぞれ配置された複数のワード線をさらに具備しており、

各ワード線は、前記第 1 メモリセルアレイと前記行デコーダと前記第 2 メモリセルアレイとを横切るようにそれぞれ配置されている、請求項 9 記載の半導体記憶装置。

【請求項 1 2】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行と、複数列のメモリセル列のうち前記欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが所定の間隔を空けて列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 列の冗長メモリセル列とを含んでいるメモリセルアレイと、

前記欠陥メモリセル行のアドレスを示す第 1 冗長救済信号を生成する第 1 冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第 1 冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダと、

前記欠陥メモリセル列のアドレスを示す第 2 冗長救済信号を生成する第 2 冗長

救済信号生成回路と、

前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記第 2 冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて前記冗長メモリセル列を選択する列デコーダとを具備しており、

前記第 1 冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記行デコーダと対向するように配置されており、

前記第 2 冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記列デコーダと対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 1 3】 前記行デコーダと前記第 1 冗長救済信号生成回路との間には、前記第 1 冗長救済信号を前記行デコーダへ供給するための第 1 冗長救済信号線が前記メモリセルアレイを横切るように配置されており、

前記列デコーダと前記第 2 冗長救済信号生成回路との間には、前記第 2 冗長救済信号を前記列デコーダへ供給するための第 2 冗長救済信号線が前記メモリセルアレイを横切るように配置されている、請求項 1 2 記載の半導体記憶装置。

【請求項 1 4】 前記メモリセルアレイは、長方形状をしており、

前記行デコーダは、前記メモリセルアレイの前記列方向に沿った一方の辺に対向するように配置されており、

前記第 1 冗長救済信号生成回路は、前記メモリセルアレイの前記列方向に沿った他方の辺に対向するように配置されており、

前記列デコーダは、前記メモリセルアレイの前記行方向に沿った一方の辺に対向するように配置されており、

前記第 2 冗長救済信号生成回路は、前記メモリセルアレイの前記行方向に沿った他方の辺に対向するように配置されている、請求項 1 2 記載の半導体記憶装置。

【請求項 1 5】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル

行と、複数列のメモリセル列のうち前記欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが所定の間隔を空けて列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1列の冗長メモリセル列とをそれぞれ含んでいる第1メモリセルアレイ、第2メモリセルアレイ、第3メモリセルアレイおよび第4メモリセルアレイと、

前記欠陥メモリセル行のアドレスをそれぞれ示す第1および第2行方向冗長救済信号をそれぞれ生成する第1および第2行方向冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第1および第2行方向冗長救済信号生成回路によってそれぞれ生成された前記第1および第2行方向冗長救済信号に応じて前記冗長メモリセル行をそれぞれ選択する第1および第2行デコーダと、

前記欠陥メモリセル列のアドレスをそれぞれ示す第1および第2列方向冗長救済信号をそれぞれ生成する第1および第2列方向冗長救済信号生成回路と、

前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記第1および第2列方向冗長救済信号生成回路によってそれぞれ生成された前記第1および第2列方向冗長救済信号に応じて前記冗長メモリセル列をそれぞれ選択する第1および第2列デコーダとを具備しており、

前記第1行デコーダは、行方向に沿って配置された前記第1メモリセルアレイと前記第2メモリセルアレイとの間に配置されており、

前記第2行デコーダは、前記行方向に沿って配置された前記第3メモリセルアレイと前記第4メモリセルアレイとの間に配置されており、

前記第1列デコーダは、列方向に沿って配置された前記第1メモリセルアレイと前記第3メモリセルアレイとの間に配置されており、

前記第2列デコーダは、前記列方向に沿って配置された前記第2メモリセルアレイと前記第4メモリセルアレイとの間に配置されており、

前記第1行方向冗長救済信号生成回路は、前記第1メモリセルアレイを挟んで前記第1行デコーダと対向するように配置されており、

前記第2行方向冗長救済信号生成回路は、前記第3メモリセルアレイを挟んで前記第2行デコーダと対向するように配置されており、

前記第 1 列方向冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記第 1 列デコーダと対向するように配置されており、

前記第 2 列方向冗長救済信号生成回路は、前記第 2 メモリセルアレイを挟んで前記第 2 列デコーダと対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 1 6】 前記第 1 行デコーダと前記第 1 行方向冗長救済信号生成回路との間には、前記第 1 行方向冗長救済信号を前記第 1 行デコーダへ供給するための第 1 行方向冗長救済信号線が前記第 1 メモリセルアレイを横切るように配置されており、

前記第 2 行デコーダと前記第 2 行方向冗長救済信号生成回路との間には、前記第 2 行方向冗長救済信号を前記第 2 行デコーダへ供給するための第 2 行方向冗長救済信号線が前記第 3 メモリセルアレイを横切るように配置されており、

前記第 1 列デコーダと前記第 1 列方向冗長救済信号生成回路との間には、前記第 1 列方向冗長救済信号を前記第 1 列デコーダへ供給するための第 1 列方向冗長救済信号線が前記第 1 メモリセルアレイを横切るように配置されており、

前記第 2 列デコーダと前記第 2 列方向冗長救済信号生成回路との間には、前記第 2 列方向冗長救済信号を前記第 2 列デコーダへ供給するための第 2 列方向冗長救済信号線が前記第 2 メモリセルアレイを横切るように配置されている、請求項 1 5 記載の半導体記憶装置。

【請求項 1 7】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含む第 1 メモリセルアレイおよび第 2 メモリセルアレイと、

前記第 1 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 1 冗長救済信号を生成する第 1 冗長救済信号生成回路と、

前記第 2 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 2 冗長救済信号を生成する第 2 冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第 1 冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて、前記第 1 メモリセルアレイに含まれる冗長メモリセル行を選択する第 1 行デコーダと、

前記行アドレス信号を受け取り、前記第 2 冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて、前記第 2 メモリセルアレイに含まれる冗長メモリセル行を選択する第 2 行デコーダとを具備しており、

前記第 1 冗長救済信号生成回路および前記第 2 冗長救済信号生成回路は、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間にそれぞれ配置されており、

前記第 1 行デコーダは、前記第 1 メモリセルアレイを挟んで前記第 1 冗長救済信号生成回路と対向するように配置されており、

前記第 2 行デコーダは、前記第 2 メモリセルアレイを挟んで前記第 2 冗長救済信号生成回路と対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 1 8】 前記第 1 行デコーダと前記第 1 冗長救済信号生成回路との間には、前記第 1 冗長救済信号を前記第 1 行デコーダへ供給するための第 1 冗長救済信号線が前記第 1 メモリセルアレイを横切るように配置されており、

前記第 2 行デコーダと前記第 2 冗長救済信号生成回路との間には、前記第 2 冗長救済信号を前記第 2 行デコーダへ供給するための第 2 冗長救済信号線が前記第 2 メモリセルアレイを横切るように配置されている、請求項 1 7 記載の半導体記憶装置。

【請求項 1 9】 前記半導体記憶装置は、スタティックラム（S R A M）であり、

前記第 1 および第 2 メモリセルアレイと前記第 1 および第 2 冗長救済信号生成回路とは、S R A M マクロの内部に配置されており、

前記第 1 および第 2 行デコーダは、前記 S R A M マクロの外部に配置されている、請求項 1 7 記載の半導体記憶装置。

【請求項 2 0】 それぞれが所定の間隔を空けて行方向に沿って配置された

複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含む第 1 メモリセルアレイおよび第 2 メモリセルアレイと、

前記第 1 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 1 冗長救済信号と前記第 2 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 2 冗長救済信号とを生成する冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて、前記第 1 メモリセルアレイに含まれる冗長メモリセル行を選択する第 1 行デコーダと、

前記行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて、前記第 2 メモリセルアレイに含まれる冗長メモリセル行を選択する第 2 行デコーダとを具備しており、

前記冗長救済信号生成回路は、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、

前記第 1 行デコーダは、前記第 1 メモリセルアレイを挟んで前記冗長救済信号生成回路と対向するように配置されており、

前記第 2 行デコーダは、前記第 2 メモリセルアレイを挟んで前記冗長救済信号生成回路と対向するように配置されていることを特徴とする半導体記憶装置。

【請求項 2 1】 前記第 1 行デコーダと前記冗長救済信号生成回路との間には、前記第 1 冗長救済信号を前記第 1 行デコーダへ供給するための第 1 冗長救済信号線が前記第 1 メモリセルアレイを横切るように配置されており、

前記第 2 行デコーダと前記冗長救済信号生成回路の間には、前記第 2 冗長救済信号を前記第 2 行デコーダへ供給するための第 2 冗長救済信号線が前記第 2 メモリセルアレイを横切るように配置されている、請求項 2 0 記載の半導体記憶装置。

【請求項 2 2】 前記半導体記憶装置は、スタティックラム（SRAM）で

あり、

前記第 1 および第 2 メモリセルアレイと前記冗長救済信号生成回路とは、S R A M マクロの内部に配置されており、

前記第 1 および第 2 行デコーダは、前記 S R A M マクロの外部に配置されている、請求項 2 0 記載の半導体記憶装置。

【請求項 2 3】 前記冗長救済信号生成回路は、前記第 1 冗長救済信号を表す情報と前記第 2 冗長救済信号を表す情報とが記憶された冗長救済情報メモリと

、
前記冗長救済情報メモリに記憶された情報によって表される前記第 1 冗長救済信号および前記第 2 冗長救済信号を前記第 1 行デコーダおよび前記第 2 行デコーダへそれぞれ供給するように動作するスイッチ手段と、

前記スイッチ手段の動作を制御するスイッチ制御手段とを有している、請求項 2 0 記載の半導体記憶装置。

【請求項 2 4】 それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含む第 1 メモリセルアレイおよび第 2 メモリセルアレイと、

前記第 1 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 1 冗長救済信号と前記第 2 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 2 冗長救済信号とを生成する冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて、前記第 1 メモリセルアレイに含まれる冗長メモリセル行を選択する第 1 行デコーダと、

前記行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて、前記第 2 メモリセルアレイに含まれる冗長メモリセル行を選択する第 2 行デコーダとを具備しており、

前記冗長救済信号生成回路は、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、

前記第 1 行デコーダは、前記第 1 メモリセルアレイと前記冗長救済信号生成回路との間に配置されており、

前記第 2 行デコーダは、前記第 2 メモリセルアレイと前記冗長救済信号生成回路との間に配置されていることを特徴とする半導体記憶装置。

【請求項 2 5】 それぞれが所定の間隔を空けて列方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数列のメモリセル列と、前記複数列のメモリセル列のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが前記所定の間隔を空けて前記列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 列の冗長メモリセル行とをそれぞれ含んでいる第 1 メモリセルアレイおよび第 2 メモリセルアレイと

前記欠陥メモリセル列のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、

アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル列を選択する列デコーダとを具備しており、

前記列デコーダは、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、

前記冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記列デコーダと対向するように配置されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一般に半導体記憶装置に関し、特に欠陥を有するメモリセルを救済するための冗長救済機能を備えた半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

スタティックランダムアクセスメモリ（以下、「SRAM」と記載する）およびダイナミックランダムアクセスメモリ（以下、「DRAM」と記載する）などのような高集積半導体記憶装置は、製造における歩留まりを向上させるために冗長救済回路を搭載している。製造された半導体記憶装置におけるメモリセルアレイ内において、欠陥を有するメモリセルが存在するときには、欠陥を有するメモリセルを含むメモリセル行またはメモリセル列が、予め定められた予備の冗長メモリセル行または冗長メモリセル列と機能的に置き換えられる。

このように欠陥メモリセルを含むメモリセル行またはメモリセル列を冗長メモリセル行または冗長メモリセル列と置き換える冗長救済機能は、SRAMおよびDRAM等のような半導体記憶装置一般に適用することができる。以下の記載においては、一例として、このような冗長救済機能を有するSRAMを説明する。

【0003】

図8は、従来の半導体記憶装置90の構成を示すブロック図である。半導体記憶装置90は、SRAMによって構成されている。図8には、ヒューズを選択的に切断することにより記録された欠陥メモリセルのアドレスを示す情報に基づいて冗長救済信号を生成する冗長救済信号生成回路1を有する従来のSRAMにおけるブロック図が示されている。

【0004】

半導体記憶装置90は、SRAMマクロ80を備えている。SRAMマクロ80には、メモリセルアレイ2が設けられている。メモリセルアレイ2は、それぞれが所定の間隔を空けて行方向に沿って配置された m 個（ m は2以上の整数）のメモリセル4によってそれぞれ構成された n 行（ n は2以上の整数）のメモリセル行を有している。メモリセルアレイ2には、 n 行のメモリセル行のうち欠陥を有する欠陥メモリセル5を含む欠陥メモリセル行を救済するためにそれぞれが所定の間隔を空けて行方向に沿って配置された m 個の冗長メモリセル6によって構成された少なくとも1行の冗長メモリセル行7が設けられている。

【0005】

メモリセルアレイ2は、 n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $WLa(0)$ 、…、 $WLa(n-1)$ および少なくとも

1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $WLa(r)$ (r は 1 以上の整数) を有している。

【0006】

メモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $BLa(0)/NBLa(0)$ 、 \dots 、 $BLa(m-1)/NBLa(m-1)$ が設けられている。

【0007】

半導体記憶装置 90 には、行方向冗長救済信号生成回路 1 が SRAM マクロ 80 と隣接する位置に設けられている。行方向冗長救済信号生成回路 1 は、選択的に切断することにより欠陥メモリセル 5 のアドレスを記憶するための複数の図示しないヒューズを備えており、ヒューズによって記憶された欠陥メモリセル 5 のアドレスに基づいて、欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスを示す冗長救済信号を生成する。

【0008】

SRAM マクロ 80 には、行デコーダ 3 が、メモリセルアレイ 2 と行方向冗長救済信号生成回路 1 とによって挟まれる位置に設けられている。行デコーダ 3 は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 $WLa(r)$ を選択する。

【0009】

SRAM マクロ 80 は、データ入出力回路 12 を有している。データ入出力回路 12 には、列デコーダ 9 が設けられている。列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 $BLa(0)/NBLa(0)$ 、 \dots 、 $BLa(m-1)/NBLa(m-1)$ のいずれかを選択する。データ入出力回路 12 は、行デコーダ 3 および列デコーダ 9 によって選択されたメモリセルに対してデータを書き込み、または選択されたメモリセルからデータを読み出す。

【0010】

SRAM マクロ 80 には、制御回路 11 が設けられている。制御回路 11 は、

行デコーダ 3 および列デコーダ 9 が設けられたデータ入出力回路 1 2 の動作を制御する。

【 0 0 1 1 】

このように構成された半導体記憶装置 9 0 の動作を説明する。まず、外部から入力される行アドレス信号および列アドレス信号によって、欠陥を有さないメモリセル 4 が指定されているときの動作を説明する。

【 0 0 1 2 】

行アドレス信号が行デコーダ 3 に入力されると、行デコーダ 3 は入力された行アドレス信号に応じて、欠陥を有さないメモリセル 4 に対応するワード線 $W L a(j)$ を選択する。そして、ワード線 $W L a(j)$ に対応するメモリセル 4 が、対応するビット線対 $B L a(i) / N B L a(i)$ と電氣的に接続される。データ入出力回路 1 2 に設けられた列デコーダ 9 は、外部から入力された列アドレス信号に応じて、メモリセル 4 に対応するビット線対 $B L a(i) / N B L a(i)$ を選択する。このため、メモリセル 4 と電氣的に接続されたビット線対 $B L a(i) / N B L a(i)$ は、データ入出力回路 1 2 と電氣的に接続される。

【 0 0 1 3 】

書き込み動作時には、データ入出力回路 1 2 へ外部から入力された入力データがビット線対 $B L a(i) / N B L a(i)$ を通ってメモリセル 4 へ書き込まれる。読み出し動作時には、メモリセル 4 に記憶されているデータがビット線対 $B L a(i) / N B L a(i)$ を通ってデータ入出力回路 1 2 へ読み出され、データ入出力回路 1 2 から外部へ出力される。

【 0 0 1 4 】

次に、外部から入力される行アドレス信号および列アドレス信号によって指定されるメモリセルが欠陥を有する欠陥メモリセル 5 であるときの動作を説明する。

【 0 0 1 5 】

欠陥メモリセル 5 を指定する行アドレス信号が行デコーダ 3 に入力されると、行デコーダ 3 は、入力された行アドレス信号によって示されるアドレスと、行方向冗長救済信号生成回路 1 によって生成された冗長救済信号が示す欠陥メモリセ

ル 5 を有する欠陥メモリセル行のアドレスとを比較し、両者が一致しているので、行デコーダ 3 は、欠陥メモリセル 5 に対応するワード線 $WL a (k)$ を選択する替わりに冗長メモリセル 6 に対応するワード線 $WL a (r)$ を選択する。このように、欠陥メモリセル 5 を含む欠陥メモリセル行と冗長メモリセル 6 を含む冗長メモリセル行 7 とを機能的に置き換えることによって、欠陥メモリセル 5 を救済することができる。

【 0 0 1 6 】

図 9 は、従来の他の半導体記憶装置 9 0 A の構成を示すブロック図である。図 8 を参照して前述した半導体記憶装置 9 0 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。前述した半導体記憶装置 9 0 と異なる点は、メモリセルアレイ 2 を 2 個のメモリセルアレイ 2 A に分割し、分割されたメモリセルアレイ 2 A の間に行デコーダ 3 を配置した点、および 2 個のメモリセルアレイ 2 A および行デコーダ 3 と対向する位置に冗長救済信号生成回路 1 を配置している点である。

【 0 0 1 7 】

半導体記憶装置 9 0 A は、SRAM マクロ 8 0 A を備えている。SRAM マクロ 8 0 A には、メモリセルアレイ 2 を分割した 2 個のメモリセルアレイ 2 A が設けられている。2 個のメモリセルアレイ 2 A の間には、行デコーダ 3 が設けられている。半導体記憶装置 9 0 A には、行方向冗長救済信号生成回路 1 が、行デコーダ 3 および 2 個のメモリセルアレイ 2 A と対向するように SRAM マクロ 8 0 A の外部に設けられている。

【 0 0 1 8 】

SRAM マクロ 8 0 A は、2 個のメモリセルアレイ 2 A と対向する位置にそれぞれ設けられた 2 個のデータ入出力回路 1 2 を有している。各データ入出力回路 1 2 には、列デコーダ 9 がそれぞれ設けられている。2 個のデータ入出力回路 1 2 の間には、制御回路 1 1 が設けられている。

【 0 0 1 9 】

大容量の SRAM においては、各メモリセル行の方向に沿って多数のメモリセルが配置される。このため、メモリセル行に沿って配置されるワード線の長さが

長くなるために、ワード線の配線負荷が増大する。従って、ワード線を流れる信号が遅延する。その結果、メモリセルへアクセスするための動作速度が低下する。

【 0 0 2 0 】

図 9 に示すように、メモリセルアレイを 2 個のメモリセルアレイ 2 A に分割し、分割された 2 個のメモリセルアレイ 2 A の間に行デコーダ 3 を配置すると、ワード線の長さが半減する。従って、ワード線の長さが長くなるために配線負荷が増大することによる信号の遅延を低減することができる。

【 0 0 2 1 】

行方向冗長救済信号生成回路 1 に設けられたヒューズはレーザー等により切断されるため、ヒューズ上にワード線を通すことはできない。それゆえに、図 9 に示すように構成された S R A M において、ヒューズが設けられた行方向冗長救済信号発生回路 1 を S R A M マクロ 8 0 A の内部に配置しようとする、ヒューズが設けられた領域を迂回してワード線を配置しなければならないため、ヒューズがワード線を配線する妨げとなる。従って、ヒューズが設けられた行方向冗長救済信号発生回路 1 は S R A M マクロ 8 0 A 内には配置されずに、図 9 に示すように、S R A M マクロ 8 0 A の外部に配置される。

【 0 0 2 2 】

また、S R A M マクロにおけるワード線の配線の自由度をより向上させることのできる構成が、I S S C C (0 - 7 8 0 3 - 5 1 2 9 - 0 / 9 9) に開示されている。

【 0 0 2 3 】

【発明が解決しようとする課題】

しかしながら、前述したように大容量の S R A M においては、各メモリセル行の方向に沿って多数のメモリセルが配置されるために、各メモリセル 2 A の横方向の長さが長くなる。このため、図 9 に示す半導体記憶装置 9 0 A の構成では、行方向冗長救済信号生成回路 1 の左右に形成される空きスペースが増大するという問題がある。

【 0 0 2 4 】

また、前述した I S S C C (0 - 7 8 0 3 - 5 1 2 9 - 0 / 9 9) において開示されている構成においては、ヒューズを含む冗長救済信号生成回路が S R A M マクロとは分離されてチップの辺縁部に配置されており、また、S R A M マクロと冗長救済信号生成回路との間を接続するための信号線が配線されるために、チップ全体における面積ロスが生じるという問題が生じる。

【 0 0 2 5 】

本発明は係る問題を解決するためになされたものであり、その目的は、空きスペースを低減し、面積ロスを抑えることができる半導体記憶装置を提供することにある。

【 0 0 2 6 】

本発明の他の目的は、S R A M マクロにおけるワード線の配線が制約を受けないように冗長救済信号生成回路が配置された半導体記憶装置を提供することにある。

【 0 0 2 7 】

【課題を解決するための手段】

かかる目的を解決するために本発明に係る半導体記憶装置は、それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とを含んでいるメモリセルアレイと、前記欠陥メモリセル行のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダとを具備しており、前記冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記行デコーダと対向するように配置されていることを特徴とする。

【 0 0 2 8 】

本発明に係る他の半導体記憶装置は、それぞれが所定の間隔を空けて行方向に

沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1行の冗長メモリセル行とをそれぞれ含んでいる第1メモリセルアレイおよび第2メモリセルアレイと、前記欠陥メモリセル行のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダとを具備しており、前記行デコーダは、前記第1メモリセルアレイと前記第2メモリセルアレイとの間に配置されており、前記冗長救済信号生成回路は、前記第1メモリセルアレイを挟んで前記行デコーダと対向するように配置されていることを特徴とする。

【 0 0 2 9 】

本発明に係るさらに他の半導体記憶装置は、それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1行の冗長メモリセル行と、複数列のメモリセル列のうち前記欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが所定の間隔を空けて列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1列の冗長メモリセル列とを含んでいるメモリセルアレイと、前記欠陥メモリセル行のアドレスを示す第1冗長救済信号を生成する第1冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第1冗長救済信号生成回路によって生成された前記第1冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダと、前記欠陥メモリセル列のアドレスを示す第2冗長救済信号を生成する第2冗長救済信号生成回路と、前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取

り、前記第 2 冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて前記冗長メモリセル列を選択する列デコーダとを具備しており、前記第 1 冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記行デコーダと対向するように配置されており、前記第 2 冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記列デコーダと対向するように配置されていることを特徴とする。

【 0 0 3 0 】

本発明に係るさらに半導体記憶装置は、他のそれぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行と、複数列のメモリセル列のうち前記欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが所定の間隔を空けて列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 列の冗長メモリセル列とをそれぞれ含んでいる第 1 メモリセルアレイ、第 2 メモリセルアレイ、第 3 メモリセルアレイおよび第 4 メモリセルアレイと、前記欠陥メモリセル行のアドレスをそれぞれ示す第 1 および第 2 行方向冗長救済信号をそれぞれ生成する第 1 および第 2 行方向冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第 1 および第 2 行方向冗長救済信号生成回路によってそれぞれ生成された前記第 1 および第 2 行方向冗長救済信号に応じて前記冗長メモリセル行をそれぞれ選択する第 1 および第 2 行デコーダと、前記欠陥メモリセル列のアドレスをそれぞれ示す第 1 および第 2 列方向冗長救済信号をそれぞれ生成する第 1 および第 2 列方向冗長救済信号生成回路と、前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記第 1 および第 2 列方向冗長救済信号生成回路によってそれぞれ生成された前記第 1 および第 2 列方向冗長救済信号に応じて前記冗長メモリセル列をそれぞれ選択する第 1 および第 2 列デコーダとを具備しており、前記第 1 行デコーダは、行方向に沿って配置された前記第 1 メモリセルア

レイと前記第 2 メモリセルアレイとの間に配置されており、前記第 2 行デコーダは、前記行方向に沿って配置された前記第 3 メモリセルアレイと前記第 4 メモリセルアレイとの間に配置されており、前記第 1 列デコーダは、列方向に沿って配置された前記第 1 メモリセルアレイと前記第 3 メモリセルアレイとの間に配置されており、前記第 2 列デコーダは、前記列方向に沿って配置された前記第 2 メモリセルアレイと前記第 4 メモリセルアレイとの間に配置されており、前記第 1 行方向冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記第 1 行デコーダと対向するように配置されており、前記第 2 行方向冗長救済信号生成回路は、前記第 3 メモリセルアレイを挟んで前記第 2 行デコーダと対向するように配置されており、前記第 1 列方向冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記第 1 列デコーダと対向するように配置されており、前記第 2 列方向冗長救済信号生成回路は、前記第 2 メモリセルアレイを挟んで前記第 2 列デコーダと対向するように配置されていることを特徴とする。

【 0 0 3 1 】

本発明に係るさらに他の半導体記憶装置は、それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含む第 1 メモリセルアレイおよび第 2 メモリセルアレイと、前記第 1 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 1 冗長救済信号を生成する第 1 冗長救済信号生成回路と、前記第 2 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 2 冗長救済信号を生成する第 2 冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記第 1 冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて、前記第 1 メモリセルアレイに含まれる冗長メモリセル行を選択する第 1 行デコーダと、前記行アドレス信号を受け取り、前記第 2 冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて、前記第 2 メモリセルアレイに含まれる冗長メモリセル行を

選択する第 2 行デコーダとを具備しており、前記第 1 冗長救済信号生成回路および前記第 2 冗長救済信号生成回路は、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間にそれぞれ配置されており、前記第 1 行デコーダは、前記第 1 メモリセルアレイを挟んで前記第 1 冗長救済信号生成回路と対向するように配置されており、前記第 2 行デコーダは、前記第 2 メモリセルアレイを挟んで前記第 2 冗長救済信号生成回路と対向するように配置されていることを特徴とする。

【 0 0 3 2 】

本発明に係るさらに他の半導体記憶装置は、それぞれが所定の間隔を空けて行方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行とをそれぞれ含む第 1 メモリセルアレイおよび第 2 メモリセルアレイと、前記第 1 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 1 冗長救済信号と前記第 2 メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第 2 冗長救済信号とを生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 1 冗長救済信号に応じて、前記第 1 メモリセルアレイに含まれる冗長メモリセル行を選択する第 1 行デコーダと、前記行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第 2 冗長救済信号に応じて、前記第 2 メモリセルアレイに含まれる冗長メモリセル行を選択する第 2 行デコーダとを具備しており、前記冗長救済信号生成回路は、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、前記第 1 行デコーダは、前記第 1 メモリセルアレイを挟んで前記冗長救済信号生成回路と対向するように配置されており、前記第 2 行デコーダは、前記第 2 メモリセルアレイを挟んで前記冗長救済信号生成回路と対向するように配置されていることを特徴とする。

【 0 0 3 3 】

本発明に係るさらに他の半導体記憶装置は、それぞれが所定の間隔を空けて行

方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数行のメモリセル行と、前記複数行のメモリセル行のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル行を救済するためにそれぞれが前記所定の間隔を空けて前記行方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1行の冗長メモリセル行とをそれぞれ含む第1メモリセルアレイおよび第2メモリセルアレイと、前記第1メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第1冗長救済信号と前記第2メモリセルアレイに含まれる欠陥メモリセル行のアドレスを示す第2冗長救済信号とを生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第1冗長救済信号に応じて、前記第1メモリセルアレイに含まれる冗長メモリセル行を選択する第1行デコーダと、前記行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記第2冗長救済信号に応じて、前記第2メモリセルアレイに含まれる冗長メモリセル行を選択する第2行デコーダとを具備しており、前記冗長救済信号生成回路は、前記第1メモリセルアレイと前記第2メモリセルアレイとの間に配置されており、前記第1行デコーダは、前記第1メモリセルアレイと前記冗長救済信号生成回路との間に配置されており、前記第2行デコーダは、前記第2メモリセルアレイと前記冗長救済信号生成回路との間に配置されていることを特徴とする。

【 0 0 3 4 】

本発明に係るさらに他の半導体記憶装置は、それぞれが所定の間隔を空けて列方向に沿って配置された複数のメモリセルによってそれぞれ構成された複数列のメモリセル列と、前記複数列のメモリセル列のうち欠陥を有する欠陥メモリセルを含む欠陥メモリセル列を救済するためにそれぞれが前記所定の間隔を空けて前記列方向に沿って配置された複数の冗長メモリセルによって構成された少なくとも1列の冗長メモリセル行とをそれぞれ含んでいる第1メモリセルアレイおよび第2メモリセルアレイと、前記欠陥メモリセル列のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記冗長救済信号生成回路によって

生成された前記冗長救済信号に応じて前記冗長メモリセル列を選択する列デコーダとを具備しており、前記列デコーダは、前記第 1 メモリセルアレイと前記第 2 メモリセルアレイとの間に配置されており、前記冗長救済信号生成回路は、前記第 1 メモリセルアレイを挟んで前記列デコーダと対向するように配置されていることを特徴とする。

【 0 0 3 5 】

【発明の実施の形態】

本発明に係る半導体記憶装置においては、冗長救済信号生成回路がメモリセルアレイを挟んで行デコーダと対向するように配置される。このため、冗長救済信号生成回路の配置に起因する面積ロスを低減することができる半導体記憶装置を提供することができる。

【 0 0 3 6 】

前記行デコーダと前記冗長救済信号生成回路との間には、前記冗長救済信号を前記行デコーダへ供給するための冗長救済信号線が前記メモリセルアレイを横切るように配置されていることが好ましい。冗長救済信号線の配線に起因する面積ロスを低減することができるからである。

【 0 0 3 7 】

前記行デコーダが前記行アドレス信号に応じて前記複数行のメモリセル行のうちの 1 行を選択するために、前記複数のメモリセル行ごとに前記行方向に沿ってそれぞれ配置された複数のワード線をさらに具備しており、前記冗長救済信号線は、互いに隣接するワード線の間に配置されていることが好ましい。互いに隣接するワード線を冗長救済信号線によって遮蔽することができるからである。

【 0 0 3 8 】

前記冗長救済信号線と前記複数のワード線とは、同一の配線層に形成されていることが好ましい。互いに隣接するワード線を遮蔽する効果をさらに高めることができるからである。

【 0 0 3 9 】

前記半導体記憶装置は、スタティックラム（SRAM）であり、前記メモリセルアレイと前記行デコーダとは、SRAMマクロの内部に配置されており、前記

冗長救済信号生成回路は、前記 S R A M マクロの外部に配置されていることが好ましい。配線の妨げとなるヒューズ領域を有する冗長救済信号生成回路が S R A M マクロの外部に配置されるために、S R A M マクロにおける信号配線が冗長救済信号生成回路によって制約を受けないからである。

【 0 0 4 0 】

前記行デコーダは、前記行アドレス信号によって示される前記メモリセル行のアドレスが、前記冗長救済信号によって示される前記欠陥メモリセル行のアドレスと一致したときに、前記冗長メモリセル行を選択することが好ましい。欠陥メモリセルへアクセスすることを防止するためである。

【 0 0 4 1 】

前記メモリセルアレイは、長形状をしており、前記行デコーダは、前記メモリセルアレイの前記列方向に沿った一方の辺に対向するように配置されており、前記冗長救済信号生成回路は、前記メモリセルアレイの前記列方向に沿った他方の辺に対向するように配置されていることが好ましい。冗長救済信号生成回路の配置に起因する面積ロスをより効果的に低減するためである。

【 0 0 4 2 】

前記複数行のメモリセル行をそれぞれ構成する前記複数のメモリセルおよび前記少なくとも 1 行の冗長メモリセル行を構成する複数の冗長メモリセルは、マトリックス状に配置されており、前記アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、前記列アドレス信号によって示されるメモリセル列を選択する列デコーダをさらに具備することが好ましい。アクセスすべきメモリセルを簡単な構成によって選択するためである。

【 0 0 4 3 】

以下、図面を参照して本発明の実施の形態を説明する。

【 0 0 4 4 】

（実施の形態 1）

図 1 は、実施の形態 1 に係る半導体記憶装置 1 0 0 の構成を示すブロック図である。半導体記憶装置 1 0 0 は、S R A M によって構成されている。半導体記憶装置 1 0 0 は、S R A M マクロ 1 0 を備えている。S R A M マクロ 1 0 には、略

長方形をした 2 個のメモリセルアレイ 2 が設けられている。

【 0 0 4 5 】

各メモリセルアレイ 2 は、それぞれが所定の間隔を空けて行方向に沿って配置された m 個 (m は 2 以上の整数) のメモリセル 4 によってそれぞれ構成された n 行 (n は 2 以上の整数) のメモリセル行をそれぞれ有している。各メモリセルアレイ 2 には、 n 行のメモリセル行のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル行を救済するために、それぞれが所定の間隔を空けて行方向に沿って配置された m 個の冗長メモリセル 6 によって構成された少なくとも 1 行の冗長メモリセル行 7 がそれぞれ設けられている。

【 0 0 4 6 】

2 個のメモリセルアレイ 2 の間には、行デコーダ 3 が 2 個のメモリセルアレイ 2 にそれぞれ対向するように設けられている。

【 0 0 4 7 】

S R A M マクロ 1 0 には、各メモリセルアレイ 2 にそれぞれ設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $W L (0)$ 、 \dots 、 $W L (n - 1)$ が、一方のメモリセルアレイ 2 と行デコーダ 3 と他方のメモリセルアレイ 2 とをそれぞれ横切るように設けられている。また、S R A M マクロ 1 0 には、各メモリセルアレイ 2 にそれぞれ設けられた少なくとも 1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $W L (r)$ (r は 1 以上の整数) が、一方のメモリセルアレイ 2 と行デコーダ 3 と他方のメモリセルアレイ 2 とをそれぞれ横切るように設けられている。

【 0 0 4 8 】

一方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $B L a (0) / N B L a (0)$ 、 \dots 、 $B L a (m - 1) / N B L a (m - 1)$ が設けられている。他方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $B L b (0) / N B L b (0)$ 、 \dots 、 $B L b (m - 1) / N B L b (m - 1)$ が設けられている。

【 0 0 4 9 】

半導体記憶装置 1 0 0 には、一方のメモリセルアレイ 2 を挟んで行デコーダ 3 と対向するように行方向冗長救済信号生成回路 1 が S R A M マクロ 1 0 の外部に設けられている。行方向冗長救済信号生成回路 1 は、選択的に切断することにより欠陥メモリセル 5 のアドレスを記憶するための複数の図示しないヒューズを備えており、ヒューズに記憶された欠陥メモリセル 5 のアドレスに基づいて、欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスを示す冗長救済信号を生成する。

【 0 0 5 0 】

行デコーダ 3 と冗長救済信号生成回路 1 との間には、冗長救済信号を行デコーダ 3 へ供給するための冗長救済信号線 8 が一方のメモリセルアレイ 2 を横切るように配置されている。冗長救済信号線 8 は、互いに隣接するワード線 W L (j) とワード線 W L (j - 1) との間を通るように配置されている。冗長救済信号線 8 とワード線 W L (0) ないしワード線 W L (n - 1) とは同一の配線層に形成されている。

【 0 0 5 1 】

行デコーダ 3 は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 W L (r) を選択する。

【 0 0 5 2 】

S R A M マクロ 1 0 は、2 個のメモリセルアレイ 2 にそれぞれ対向するように配置された 2 個のデータ入出力回路 1 2 を有している。各データ入出力回路 1 2 には、列デコーダ 9 がそれぞれ設けられている。一方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 B L a (0) / N B L a (0) 、 … 、 B L a (m - 1) / N B L a (m - 1) のいずれかを選択する。他方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 B L b (0) / N B L b (0) 、 … 、 B L b (m - 1) / N B L b (m - 1) のいずれかを選択す

る。各データ入出力回路 1 2 は、行デコーダ 3 および各列デコーダ 9 によって選択されたメモリセルに対してデータを書き込み、または選択されたメモリセルからデータを読み出す。

【 0 0 5 3 】

S R A M マクロ 1 0 には、制御回路 1 1 が設けられている。制御回路 1 1 は、行デコーダ 3 および各列デコーダ 9 がそれぞれ設けられたデータ入出力回路 1 2 の動作を制御する。

【 0 0 5 4 】

このように構成された半導体記憶装置 1 0 0 の動作を説明する。まず、外部から入力される行アドレス信号および列アドレス信号によって、欠陥を有さないメモリセル 4 が指定されているときの動作を説明する。

【 0 0 5 5 】

行アドレス信号が行デコーダ 3 に入力されると、行デコーダ 3 は入力された行アドレス信号によって示されるアドレスと行方向冗長救済信号生成回路 1 によって生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスとを比較し、両者が一致していないので、欠陥を有さないメモリセル 4 に対応するワード線 $W L (j)$ を選択する。そして、ワード線 $W L (j)$ に対応するメモリセル 4 が、対応するビット線対 $B L a (i) / N B L a (i)$ と電気的に接続される。データ入出力回路 1 2 に設けられた列デコーダ 9 は、外部から入力された列アドレス信号に応じて、メモリセル 4 に対応するビット線対 $B L a (i) / N B L a (i)$ を選択する。従って、メモリセル 4 と電気的に接続されたビット線対 $B L a (i) / N B L a (i)$ は、データ入出力回路 1 2 と電気的に接続される。

【 0 0 5 6 】

書き込み動作時には、データ入出力回路 1 2 へ外部から入力された入力データがビット線対 $B L a (i) / N B L a (i)$ を通ってメモリセル 4 へ書き込まれる。読み出し動作時には、メモリセル 4 に記憶されているデータがビット線対 $B L a (i) / N B L a (i)$ を通ってデータ入出力回路 1 2 へ読み出され、データ入出力回路 1 2 から外部へ出力される。

【 0 0 5 7 】

次に、外部から入力される行アドレス信号および列アドレス信号によって指定されるメモリセルが欠陥を有する欠陥メモリセル 5 であるときの動作を説明する。

【 0 0 5 8 】

欠陥メモリセル 5 を指定する行アドレス信号が行デコーダ 3 に入力されると、行デコーダ 3 は、入力された行アドレス信号によって示されるアドレスと、行方向冗長救済信号生成回路 1 によって生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスとを比較し、両者が一致しているので、行デコーダ 3 は、欠陥メモリセル 5 に対応するワード線 $WL(j-1)$ を選択する替わりに冗長メモリセル 6 に対応するワード線 $WL(r)$ を選択する。このように、欠陥メモリセル 5 を含む欠陥メモリセル行を冗長メモリセル 6 を含む冗長メモリセル行 7 に機能的に置き換えることによって、欠陥メモリセル 5 を救済することができる。

【 0 0 5 9 】

以上のように実施の形態 1 によれば、行方向冗長救済信号生成回路 1 は、一方のメモリセルアレイ 2 を挟んで行デコーダ 3 と対向するように配置されている。このため、行方向冗長救済信号生成回路 1 の配置に起因する面積ロスを低減することができる。

【 0 0 6 0 】

(実施の形態 2)

図 2 は、実施の形態 2 に係る半導体記憶装置 1 0 0 A の構成を示すブロック図である。図 1 を参照して前述した半導体記憶装置 1 0 0 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。前述した半導体記憶装置 1 0 0 と異なる点は、行デコーダ 3 の替わりに 2 個の行デコーダ 3 A を備えている点である。

【 0 0 6 1 】

半導体記憶装置 1 0 0 A は、SRAM によって構成されている。半導体記憶装置 1 0 0 A は、SRAM マクロ 1 0 A を備えている。SRAM マクロ 1 0 A には

、略長方形をした 2 個のメモリセルアレイ 2 が行方向に沿って設けられている。

【0062】

各メモリセルアレイ 2 は、それぞれが所定の間隔を空けて行方向に沿って配置された m 個 (m は 2 以上の整数) のメモリセル 4 によってそれぞれ構成された n 行 (n は 2 以上の整数) のメモリセル行をそれぞれ有している。各メモリセルアレイ 2 には、 n 行のメモリセル行のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル行を救済するために、それぞれが所定の間隔を空けて行方向に沿って配置された m 個の冗長メモリセル 6 によって構成された少なくとも 1 行の冗長メモリセル行 7 がそれぞれ設けられている。

【0063】

SRAM マクロ 10 には、一方のメモリセルアレイ 2 に設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $WL1(0)$ 、 \dots 、 $WL1(n-1)$ が、一方のメモリセルアレイ 2 を横切るように設けられている。また、SRAM マクロ 10 には、一方のメモリセルアレイ 2 に設けられた少なくとも 1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $WL1(r)$ (r は 1 以上の整数) が、一方のメモリセルアレイ 2 を横切るように設けられている。

【0064】

2 個のメモリセルアレイ 2 の間には、2 個の行デコーダ 3A が 2 個のメモリセルアレイ 2 にそれぞれ対向するように設けられている。

【0065】

SRAM マクロ 10 には、さらに、他方のメモリセルアレイ 2 に設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $WL2(0)$ 、 \dots 、 $WL2(n-1)$ が、他方のメモリセルアレイ 2 を横切るように設けられている。さらに、SRAM マクロ 10 には、他方のメモリセルアレイ 2 に設けられた少なくとも 1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $WL2(r)$ が、他方のメモリセルアレイ 2 を横切るように設けられている。

【 0 0 6 6 】

一方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $BLa(0)/NBLa(0)$ 、 \dots 、 $BLa(m-1)/NBLa(m-1)$ が設けられている。他方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $BLb(0)/NBLb(0)$ 、 \dots 、 $BLb(m-1)/NBLb(m-1)$ が設けられている。

【 0 0 6 7 】

半導体記憶装置 1 0 0 A には、一方のメモリセルアレイ 2 を挟んで一方のメモリセルアレイ 2 に隣接する行デコーダ 3 A と対向するように行方向冗長救済信号生成回路 1 が SRAM マクロ 1 0 A の外部に設けられており、他方のメモリセルアレイ 2 を挟んで他方のメモリセルアレイ 2 に隣接する行デコーダ 3 A と対向するように他の行方向冗長救済信号生成回路 1 が SRAM マクロ 1 0 A の外部に設けられている。

【 0 0 6 8 】

各行方向冗長救済信号生成回路 1 は、選択的に切断することにより欠陥メモリセル 5 のアドレスを記憶するための複数の図示しないヒューズを備えており、ヒューズに記憶された欠陥メモリセル 5 のアドレスに基づいて、欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスを示す冗長救済信号をそれぞれ生成する。

【 0 0 6 9 】

一方の行デコーダ 3 A と、対応する冗長救済信号生成回路 1 との間には、冗長救済信号を一方の行デコーダ 3 A へ供給するための冗長救済信号線 8 が一方のメモリセルアレイ 2 を横切るように配置されている。冗長救済信号線 8 は、互いに隣接するワード線 $WL1(j)$ とワード線 $WL1(j-1)$ との間を通るように配置されている。冗長救済信号線 8 とワード線 $WL1(0)$ ないしワード線 $WL1(n-1)$ とは同一の配線層に形成されている。

【 0 0 7 0 】

他方の行デコーダ 3 A と、対応する冗長救済信号生成回路 1 との間には、冗長救済信号を他方の行デコーダ 3 A へ供給するための冗長救済信号線 8 が他方のメ

メモリセルアレイ 2 を横切るように配置されている。冗長救済信号線 8 は、互いに隣接するワード線 $WL\ 2\ (j)$ とワード線 $WL\ 2\ (j-1)$ との間を通るように配置されている。冗長救済信号線 8 とワード線 $WL\ 2\ (0)$ ないしワード線 $WL\ 2\ (n-1)$ とは同一の配線層に形成されている。

【 0 0 7 1 】

各行デコーダ 3 A は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号をそれぞれ受け取り、それぞれ対応する冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 $WL\ 1\ (r)$ 、ワード線 $WL\ 2\ (r)$ をそれぞれ選択する。

【 0 0 7 2 】

SRAM マクロ 1 0 A は、2 個のメモリセルアレイ 2 にそれぞれ対向するように配置された 2 個のデータ入出力回路 1 2 を有している。各データ入出力回路 1 2 には、列デコーダ 9 がそれぞれ設けられている。一方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 $BL\ a\ (0) / NBL\ a\ (0)$ 、…、 $BL\ a\ (m-1) / NBL\ a\ (m-1)$ のいずれかを選択する。他方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 $BL\ b\ (0) / NBL\ b\ (0)$ 、…、 $BL\ b\ (m-1) / NBL\ b\ (m-1)$ のいずれかを選択する。各データ入出力回路 1 2 は、各行デコーダ 3 A および各列デコーダ 9 によって選択されたメモリセルに対してデータを書き込み、または選択されたメモリセルからデータを読み出す。

【 0 0 7 3 】

SRAM マクロ 1 0 A には、制御回路 1 1 が設けられている。制御回路 1 1 は、各行デコーダ 3 A および各列デコーダ 9 がそれぞれ設けられたデータ入出力回路 1 2 の動作を制御する。

【 0 0 7 4 】

このように構成された半導体記憶装置 1 0 0 A の動作を説明する。まず、外部から入力される行アドレス信号および列アドレス信号によって、欠陥を有さない

メモリセル 4 が指定されているときの動作を説明する。

【 0 0 7 5 】

行アドレス信号が各行デコーダ 3 A に入力されると、各行デコーダ 3 A は入力された行アドレス信号によって示されるアドレスと行方向冗長救済信号生成回路 1 によって生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスとを比較し、両者が一致していないので、欠陥を有さないメモリセル 4 に対応するワード線 $WL1(j)$ およびワード線 $WL2(j)$ をそれぞれ選択する。そして、ワード線 $WL1(j)$ に対応するメモリセル 4 およびワード線 $WL2(j)$ に対応するメモリセル 4 が、それぞれ対応するビット線対 $BLa(i)/NBLa(i)$ およびビット線対 $BLb(i)/NBLb(i)$ とそれぞれ電氣的に接続される。一方のメモリセル 2 に対向する一方のデータ入出力回路 1 2 に設けられた列デコーダ 9 は、外部から入力された列アドレス信号に応じて、メモリセル 4 に対応するビット線対 $BLa(i)/NBLa(i)$ を選択する。このため、メモリセル 4 と電氣的に接続されたビット線対 $BLa(i)/NBLa(i)$ は、一方のメモリセル 2 に対向するデータ入出力回路 1 2 と電氣的に接続される。

【 0 0 7 6 】

書き込み動作時には、一方のデータ入出力回路 1 2 へ外部から入力された入力データがビット線対 $BLa(i)/NBLa(i)$ を通ってメモリセル 4 へ書き込まれる。読み出し動作時には、メモリセル 4 に記憶されているデータがビット線対 $BLa(i)/NBLa(i)$ を通って一方のデータ入出力回路 1 2 へ読み出され、一方のデータ入出力回路 1 2 から外部へ出力される。

【 0 0 7 7 】

次に、外部から入力される行アドレス信号および列アドレス信号によって指定されるメモリセルが一方のメモリセル 2 に含まれる欠陥メモリセル 5 であるときの動作を説明する。

【 0 0 7 8 】

欠陥メモリセル 5 を指定する行アドレス信号が各行デコーダ 3 A に入力されると、欠陥メモリセル 5 を含むメモリセル 2 に対向する一方の行デコーダ 3 A は、

入力された行アドレス信号によって示されるアドレスと、対応する行方向冗長救済信号生成回路 1 によってそれぞれ生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスとをそれぞれ比較し、両者が一致しているため、行デコーダ 3 A は、欠陥メモリセル 5 に対応するワード線 W L 1 (j - 1) を選択する替わりに冗長メモリセル 6 に対応するワード線 W L 1 (r) を選択する。このように、欠陥メモリセル 5 を含む欠陥メモリセル行を、冗長メモリセル 6 を含む冗長メモリセル行 7 に機能的に置き換えることによって、欠陥メモリセル 5 を救済することができる。

【 0 0 7 9 】

以上のように実施の形態 2 によれば、一方の行方向冗長救済信号生成回路 1 は、一方のメモリセルアレイ 2 を挟んで一方の行デコーダ 3 A と対向するように配置されており、他方の行方向冗長救済信号生成回路 1 は、他方のメモリセルアレイ 2 を挟んで他方の行デコーダ 3 A と対向するように配置されている。このため、各行方向冗長救済信号生成回路 1 の配置に起因する面積ロスを低減することができる。

【 0 0 8 0 】

また、2 個のメモリセルアレイ 2 にそれぞれ対応する 2 個の行デコーダ 3 A が設けられており、それぞれのメモリセルアレイ 2 を横切るワード線は独立に選択することができる。このため、各行デコーダ 3 A が駆動すべきワード線の長さは、前述した実施の形態 1 において行デコーダ 3 が駆動すべきワード線の長さの半分で済む。その結果、行デコーダが消費する電力の省電力化を図ることができる。

【 0 0 8 1 】

(実施の形態 3)

図 3 は、実施の形態 3 に係る半導体記憶装置 1 0 0 B の構成を示すブロック図である。図 1 を参照して前述した半導体記憶装置 1 0 0 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【 0 0 8 2 】

半導体記憶装置 1 0 0 B は、S R A M によって構成されている。半導体記憶装置 1 0 0 A は、S R A M マクロ 1 0 B を備えている。S R A M マクロ 1 0 B には、略長方形をした 2 個のメモリセルアレイ 2 B が列方向に沿って設けられている。

【 0 0 8 3 】

各メモリセルアレイ 2 B は、それぞれが所定の間隔を空けて列方向に沿って配置された n 個 (n は 2 以上の整数) のメモリセル 4 によってそれぞれ構成された m 列 (m は 2 以上の整数) のメモリセル列をそれぞれ有している。各メモリセルアレイ 2 B には、 m 列のメモリセル列のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル列を救済するために、それぞれが所定の間隔を空けて列方向に沿って配置された n 個の冗長メモリセル 6 B によって構成された少なくとも 1 列の冗長メモリセル列 7 B がそれぞれ設けられている。

【 0 0 8 4 】

S R A M マクロ 1 0 には、一方のメモリセルアレイ 2 B に設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $W L a (0)$ 、 \dots 、 $W L a (n - 1)$ が、一方のメモリセルアレイ 2 B を横切るように設けられている。また、S R A M マクロ 1 0 には、他方のメモリセルアレイ 2 B に設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された複数のワード線 $W L b (0)$ 、 \dots 、 $W L b (n - 1)$ が、他方のメモリセルアレイ 2 B を横切るように設けられている。

【 0 0 8 5 】

2 個のメモリセルアレイ 2 B の間には、データ入出力回路 1 2 B が 2 個のメモリセルアレイ 2 B にそれぞれ対向するように設けられている。データ入出力回路 1 2 B には、列デコーダ 9 B が設けられている。実施の形態 3 に係る S R A M は、大容量のメモリセルが搭載され、特に列方向に多数のメモリセルが配列される構成を想定しており、それゆえ長配線となる相補ビット線対の配線負荷による動作速度の低下を抑制するために、メモリセルアレイ領域をデータ入出力回路部 1 2 B により上下 2 つのプレーン (2 個のメモリセルアレイ) に分割することにより、相補ビット線対の配線負荷を低減させている。

【 0 0 8 6 】

S R A M マクロ 1 0 B には、各メモリセルアレイ 2 B にそれぞれ設けられた m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 B L b (0) / N B L b (0) 、 … 、 B L b (m - 1) / N B L b (m - 1) が一方のメモリセル 2 B 、列デコーダ 9 B および他方のメモリセル 2 B を横切るように設けられている。

【 0 0 8 7 】

半導体記憶装置 1 0 0 B には、一方のメモリセルアレイ 2 B を挟んで列デコーダ 9 B と対向するように列方向冗長救済信号生成回路 1 B が S R A M マクロ 1 0 B の外部に設けられている。列方向冗長救済信号生成回路 1 B は、選択的に切断することにより欠陥メモリセル 5 のアドレスを記憶するための複数の図示しないヒューズを備えており、ヒューズに記憶された欠陥メモリセル 5 のアドレスに基づいて、欠陥メモリセル 5 を有する欠陥メモリセル列のアドレスを示す冗長救済信号を生成する。

【 0 0 8 8 】

列デコーダ 9 B と列方向冗長救済信号生成回路 1 B との間には、冗長救済信号を列デコーダ 9 B へ供給するための冗長救済信号線 8 B が一方のメモリセルアレイ 2 B を横切るように配置されている。冗長救済信号線 8 B は、互いに隣接する相補ビット線対 B L b (i - 1) / N B L b (i - 1) と相補ビット線対 B L b (i) / N B L b (i) との間を通るように配置されている。冗長救済信号線 8 B と相補ビット線対 B L b (0) / N B L b (0) ないし相補ビット線対 B L b (m - 1) / N B L b (m - 1) とは同一の配線層に形成されている。

【 0 0 8 9 】

各行デコーダ 3 は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、受け取った行アドレス信号に基づいてワード線のいずれかを選択する。列デコーダ 9 B は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 B L b (0) / N B L b (0) 、 … 、 B L b (m - 1) / N B L b (m - 1) のいずれかを選択する。

【 0 0 9 0 】

データ入出力回路 1 2 B は、行デコーダ 3 および列デコーダ 9 B によって選択されたメモリセルに対してデータを書き込み、または選択されたメモリセルからデータを読み出す。

【 0 0 9 1 】

S R A M マクロ 1 0 B には、制御回路 1 1 が設けられている。制御回路 1 1 は、各行デコーダ 3 および列デコーダ 9 B が設けられたデータ入出力回路 1 2 B の動作を制御する。

【 0 0 9 2 】

このように構成された半導体記憶装置 1 0 0 B の動作を説明する。まず、外部から入力される行アドレス信号および列アドレス信号によって、欠陥を有さないメモリセル 4 が指定されているときの動作を説明する。

【 0 0 9 3 】

行アドレス信号が各行デコーダ 3 に入力されると、各行デコーダ 3 は入力された行アドレス信号によって示されるアドレスに応じて、対応するワード線を選択する。そして、選択されたワード線に対応するメモリセル 4 が、対応するビット線対 $B L a (i) / N B L a (i)$ と電氣的に接続される。

【 0 0 9 4 】

データ入出力回路 1 2 B に設けられた列デコーダ 9 B は、外部から入力された列アドレス信号によって示されるアドレスと列方向冗長救済信号生成回路 1 B によって生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル列のアドレスとを比較し、両者が一致していないので、欠陥を有さないメモリセル 4 に対応するビット線対 $B L a (i - 1) / N B L a (i - 1)$ を選択する。このため、メモリセル 4 と電氣的に接続されたビット線対 $B L a (i - 1) / N B L a (i - 1)$ は、データ入出力回路 1 2 B と電氣的に接続される。

【 0 0 9 5 】

書き込み動作時には、データ入出力回路 1 2 B へ外部から入力された入力データがビット線対 $B L a (i - 1) / N B L a (i - 1)$ を通ってメモリセル 4 へ書き込まれる。読み出し動作時には、メモリセル 4 に記憶されてい

るデータがビット線対 $BLa(i-1)/NBLa(i-1)$ を通ってデータ入出力回路 12B へ読み出され、データ入出力回路 12B から外部へ出力される。

【0096】

次に、外部から入力される行アドレス信号および列アドレス信号によって指定されるメモリセルが欠陥を有する欠陥メモリセル 5 であるときの動作を説明する。

【0097】

欠陥メモリセル 5 を指定する列アドレス信号が列デコーダ 9B に入力されると、列デコーダ 9B は、入力された列アドレス信号によって示されるアドレスと、列方向冗長救済信号生成回路 1B によって生成された冗長救済信号が示す欠陥メモリセル 5 を有する欠陥メモリセル列のアドレスとを比較し、両者が一致しているので、列デコーダ 9B は、欠陥メモリセル 5 に対応するビット線対 $BLa(i)/NBLa(i)$ を選択する替わりに冗長メモリセル 6B に対応するビット線対 $BLa(r)/NBLa(r)$ を選択する。このように、欠陥メモリセル 5 を含む欠陥メモリセル列を冗長メモリセル 6 を含む冗長メモリセル列 7B に機能的に置き換えることによって、欠陥メモリセル 5 を救済することができる。

【0098】

以上のように実施の形態 3 によれば、列方向冗長救済信号生成回路 1B は、一方のメモリセルアレイ 2B を挟んで列デコーダ 9B と対向するように配置されている。このため、列方向冗長救済信号生成回路 1B の配置に起因する面積ロスを低減することができる。

【0099】

(実施の形態 4)

図 4 は、実施の形態 4 に係る半導体記憶装置 100C の構成を示すブロック図である。図 1 および図 3 を参照して前述した半導体記憶装置 100 および 100B の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【0100】

半導体記憶装置 100C は、SRAM によって構成されている。半導体記憶装

置 1 0 0 C は、S R A M マクロ 1 0 C を備えている。S R A M マクロ 1 0 C には、略長形状をした 4 個のメモリセルアレイ 2 C が 2 行 2 列のマトリックス状に設けられている。

【 0 1 0 1 】

各メモリセルアレイ 2 C は、それぞれが所定の間隔を空けて行方向に沿って配置された n 個 (n は 2 以上の整数) のメモリセル 4 によってそれぞれ構成された n 行のメモリセル行をそれぞれ有している。各メモリセルアレイ 2 C には、 n 行のメモリセル行のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル行を救済するために、それぞれが所定の間隔を空けて行方向に沿って配置された n 個の冗長メモリセルによって構成された少なくとも 1 行の冗長メモリセル行 7 がそれぞれ設けられている。さらに、各メモリセルアレイ 2 C には、 n 列のメモリセル列のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル列を救済するために、それぞれが所定の間隔を空けて列方向に沿って配置された少なくとも n 個の冗長メモリセルによって構成された少なくとも 1 列の冗長メモリセル列 7 B がそれぞれ設けられている。

【 0 1 0 2 】

図 4 において右上に配置されたメモリセルアレイ 2 C と左上に配置されたメモリセルアレイ 2 C との間に、行デコーダ 3 が 2 個のメモリセルアレイ 2 C にそれぞれ対向するように設けられており、右下に配置されたメモリセルアレイ 2 C と左下に配置されたメモリセルアレイ 2 C との間に、行デコーダ 3 が 2 個のメモリセルアレイ 2 C にそれぞれ対向するように設けられている。

【 0 1 0 3 】

S R A M マクロ 1 0 C には、右上および左上のメモリセルアレイ 2 C にそれぞれ設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された n 本のワード線 $W L a (0)$ 、 \dots 、 $W L a (n-1)$ が、右上のメモリセルアレイ 2 C と行デコーダ 3 と左上のメモリセルアレイ 2 C とをそれぞれ横切るように設けられている。また、S R A M マクロ 1 0 には、右上および左上のメモリセルアレイ 2 にそれぞれ設けられた少なくとも 1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $W L a (r)$ (r は 1 以上の整数)

が、右上のメモリセルアレイ2Cと行デコーダ3と左上のメモリセルアレイ2Cとをそれぞれ横切るように設けられている。

【0104】

SRAMマクロ10Cには、右下および左下のメモリセルアレイ2Cにそれぞれ設けられたn行のメモリセル行ごとに行方向に沿ってそれぞれ配置されたn本のワード線WLb(0)、…、WLb(n-1)が、右下のメモリセルアレイ2Cと行デコーダ3と左下のメモリセルアレイ2Cとをそれぞれ横切るように設けられている。また、SRAMマクロ10には、右下および左下のメモリセルアレイ2Cにそれぞれ設けられた少なくとも1行の冗長メモリセル行7ごとに行方向に沿って配置された少なくとも1本のワード線WLb(r)(rは1以上の整数)が、右下のメモリセルアレイ2Cと行デコーダ3と左下のメモリセルアレイ2Cとをそれぞれ横切るように設けられている。

【0105】

SRAMマクロ10Cには、右上および右下のメモリセルアレイ2Cにそれぞれ設けられたn列のメモリセル列ごとに列方向に沿ってそれぞれ配置されたn組の相補ビット線対BLa(0)/NBLa(0)、…、BLa(n-1)/NBLa(n-1)が右上のメモリセル2C、列デコーダ9Bおよび右下のメモリセル2Cを横切るように設けられている。SRAMマクロ10Cには、左上および左下のメモリセルアレイ2Cにそれぞれ設けられたn列のメモリセル列ごとに列方向に沿ってそれぞれ配置されたn組の相補ビット線対BLb(0)/NBLb(0)、…、BLb(n-1)/NBLb(n-1)が左上のメモリセル2C、列デコーダ9Bおよび左下のメモリセル2Cを横切るように設けられている。

【0106】

半導体記憶装置100Cには、右上のメモリセルアレイ2Cを挟んで上側の行デコーダ3と対向するように行方向冗長救済信号生成回路1がSRAMマクロ10Cの外部に設けられており、右下のメモリセルアレイ2Cを挟んで下側の行デコーダ3と対向するように行方向冗長救済信号生成回路1がSRAMマクロ10Cの外部に設けられている。各行方向冗長救済信号生成回路1は、選択的に切断することにより欠陥メモリセル5のアドレスを記憶するための複数の図示しない

ヒューズを備えており、ヒューズに記憶された欠陥メモリセル5のアドレスに基づいて、欠陥メモリセル5を有する欠陥メモリセル行のアドレスを示す冗長救済信号をそれぞれ生成する。

【0107】

各行デコーダ3と各冗長救済信号生成回路1との間には、冗長救済信号を行デコーダ3へそれぞれ供給するための2本の冗長救済信号線8が右上および右下のメモリセルアレイ2をそれぞれ横切るようにそれぞれ配置されている。上側の冗長救済信号線8は、互いに隣接するワード線WL a (j)とワード線WL a (j-1)との間を通るように配置されている。冗長救済信号線8とワード線WL a (0)ないしワード線WL a (n-1)とは同一の配線層に形成されている。下側の冗長救済信号線8は、互いに隣接するワード線WL b (j)とワード線WL b (j-1)との間を通るように配置されている。冗長救済信号線8とワード線WL b (0)ないしワード線WL b (n-1)とは同一の配線層に形成されている。

【0108】

半導体記憶装置100Cには、右上のメモリセルアレイ2Cを挟んで右側の列デコーダ9Bと対向するように列方向冗長救済信号生成回路1BがSRAMマクロ10Cの外部に設けられており、左上のメモリセルアレイ2Cを挟んで左側の列デコーダ9Bと対向するように列方向冗長救済信号生成回路1BがSRAMマクロ10Cの外部に設けられている。

【0109】

各列方向冗長救済信号生成回路1Bは、選択的に切断することにより欠陥メモリセル5のアドレスを記憶するための複数の図示しないヒューズをそれぞれ備えており、ヒューズに記憶された欠陥メモリセル5のアドレスに基づいて、欠陥メモリセル5を有する欠陥メモリセル列のアドレスを示す冗長救済信号をそれぞれ生成する。

【0110】

各列デコーダ9Bと各列方向冗長救済信号生成回路1Bの間には、冗長救済信号を各列デコーダ9Bへそれぞれ供給するための2本の冗長救済信号線8Bが

右上および左上のメモリセルアレイ 2 C をそれぞれ横切るように配置されている。右側の冗長救済信号線 8 B は、互いに隣接する相補ビット線対 $BLa(i-1)/NBLa(i-1)$ と相補ビット線対 $BLa(i)/NBLa(i)$ との間を通るように配置されている。冗長救済信号線 8 と相補ビット線対 $BLa(0)/NBLa(0)$ ないし相補ビット線対 $BLa(n-1)/NBLb(n-1)$ とは同一の配線層に形成されている。左側の冗長救済信号線 8 B は、互いに隣接する相補ビット線対 $BLb(i-1)/NBLb(i-1)$ と相補ビット線対 $BLb(i)/NBLb(i)$ との間を通るように配置されている。冗長救済信号線 8 と相補ビット線対 $BLb(0)/NBLb(0)$ ないし相補ビット線対 $BLb(n-1)/NBLb(n-1)$ とは同一の配線層に形成されている。

【 0 1 1 1 】

上側の行デコーダ 3 は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、対応する行方向冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 $WL a(r)$ を選択する。下側の行デコーダ 3 は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、対応する行方向冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 $WL b(r)$ を選択する。右側の列デコーダ 9 B は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、対応する列方向冗長救済信号生成回路 1 B によって生成された冗長救済信号に応じて、冗長メモリセル列 7 B に沿って配置された相補ビット線対 $BL a(r)/NBL a(r)$ を選択する。左側の列デコーダ 9 B は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号を受け取り、対応する列方向冗長救済信号生成回路 1 B によって生成された冗長救済信号に応じて、冗長メモリセル列 7 B に沿って配置された相補ビット線対 $BL b(r)/NBL b(r)$ を選択する。

【 0 1 1 2 】

SRAM マクロ 1 0 C には、制御回路 1 1 が設けられている。制御回路 1 1 は、各行デコーダ 3 および各列デコーダ 9 B がそれぞれ設けられたデータ入出力回

路 1 2 B の動作を制御する。

【 0 1 1 3 】

実施の形態 4 に係る S R A M は、大容量のメモリセルが搭載された構成を想定しており、それゆえ長配線となるワード線およびビット線の配線負荷による動作速度の低下を抑制するために、メモリセルアレイを上側の行デコーダ 3 により左右 2 つのメモリセルアレイ 2 C に分割し、下側の行デコーダ 3 により左右 2 つのメモリセルアレイ 2 C に分割することにより、ワード線の配線負荷を低減させている。さらに、右側のデータ入出力回路 1 2 B により上下 2 つのメモリセルアレイ 2 C に分割し、左側のデータ入出力回路 1 2 B により上下 2 つのメモリセルアレイ 2 C に分割することにより、ビット線の配線負荷を低減させている。

【 0 1 1 4 】

実施の形態 4 においては、行方向のみならず列方向への冗長救済機能を備えており、外部より選択された欠陥メモリを含むメモリセル行との置換えを行う冗長メモリセル行に欠陥が含まれており救済不可能な場合は、冗長用メモリセルアレイ列への置換えを行うことができ、救済することができる。このように行方向および列方向に冗長機能を有することにより、自由度の高い冗長救済が可能となる。

【 0 1 1 5 】

以上のように実施の形態 4 によれば、上側の行方向冗長救済信号生成回路 1 は、右上のメモリセルアレイを挟んで上側の行デコーダ 3 と対向するように配置されており、下側の行方向冗長救済信号生成回路 1 は、右下のメモリセルアレイを挟んで下側の行デコーダ 3 と対向するように配置されており、右側の列方向冗長救済信号生成回路 1 B は、右上のメモリセルアレイ 2 C を挟んで右側の列デコーダ 9 B と対向するように配置されており、左側の列方向冗長救済信号生成回路 1 B は、左上のメモリセルアレイ 2 C を挟んで左側の列デコーダ 9 B と対向するように配置されている。このため、冗長救済信号生成回路の配置に起因する面積ロスを低減することができる半導体記憶装置を提供することができる。

【 0 1 1 6 】

(実施の形態 5)

図 5 は、実施の形態 5 に係る半導体記憶装置 1 0 0 D の構成を示すブロック図である。図 2 を参照して前述した半導体記憶装置 1 0 0 A の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

【 0 1 1 7 】

半導体記憶装置 1 0 0 D は、S R A M によって構成されている。半導体記憶装置 1 0 0 D は、S R A M マクロ 1 0 D を備えている。S R A M マクロ 1 0 D には、略長方形をした 2 個のメモリセルアレイ 2 が行方向に沿って設けられている。

【 0 1 1 8 】

各メモリセルアレイ 2 は、それぞれが所定の間隔を空けて行方向に沿って配置された m 個 (m は 2 以上の整数) のメモリセル 4 によってそれぞれ構成された n 行 (n は 2 以上の整数) のメモリセル行をそれぞれ有している。各メモリセルアレイ 2 には、 n 行のメモリセル行のうち欠陥を有する欠陥メモリセル 5 を含む欠陥メモリセル行を救済するために、それぞれが所定の間隔を空けて行方向に沿って配置された m 個の冗長メモリセル 6 によって構成された少なくとも 1 行の冗長メモリセル行 7 がそれぞれ設けられている。

【 0 1 1 9 】

2 個のメモリセルアレイ 2 の間には、2 個のメモリセルアレイ 2 にそれぞれ対応する 2 個の行方向冗長救済信号生成回路 1 が列方向に沿って設けられている。各行方向冗長救済信号生成回路 1 は、対応するメモリセルアレイ 2 における欠陥メモリセル 5 を有する欠陥メモリセル行のアドレスを示す冗長救済信号をそれぞれ生成する。

【 0 1 2 0 】

S R A M マクロ 1 0 D には、各メモリセルアレイ 2 にそれぞれ設けられた n 行のメモリセル行ごとに行方向に沿ってそれぞれ配置された複数のワード線 $W L$ (0)、 \dots 、 $W L$ ($n - 1$) が、一方のメモリセルアレイ 2 と各行方向冗長救済信号生成回路 1 と他方のメモリセルアレイ 2 とをそれぞれ横切るように設けられている。また、S R A M マクロ 1 0 には、各メモリセルアレイ 2 にそれぞれ設けら

れた少なくとも 1 行の冗長メモリセル行 7 ごとに行方向に沿って配置された少なくとも 1 本のワード線 $WL(r)$ (r は 1 以上の整数) が、一方のメモリセルアレイ 2 と一方の行方向冗長救済信号生成回路 1 と他方のメモリセルアレイ 2 とをそれぞれ横切るように設けられている。

【 0 1 2 1 】

一方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $BLa(0)/NBLa(0)$ 、 \dots 、 $BLa(m-1)/NBLa(m-1)$ が設けられている。他方のメモリセルアレイ 2 には、 m 列のメモリセル列ごとに列方向に沿ってそれぞれ配置された m 組の相補ビット線対 $BLb(0)/NBLb(0)$ 、 \dots 、 $BLb(m-1)/NBLb(m-1)$ が設けられている。

【 0 1 2 2 】

半導体記憶装置 1 0 0 D には、一方のメモリセルアレイ 2 を挟んで行方向冗長救済信号生成回路 1 と対向するように行デコーダ 3 A が SRAM マクロ 1 0 D の外部に設けられており、他方のメモリセルアレイ 2 を挟んで行方向冗長救済信号生成回路 1 と対向するように行デコーダ 3 A が SRAM マクロ 1 0 D の外部に設けられている。

【 0 1 2 3 】

一方の行デコーダ 3 A と、対応する冗長救済信号生成回路 1 との間には、冗長救済信号を一方の行デコーダ 3 A へ供給するための冗長救済信号線 8 が一方のメモリセルアレイ 2 を横切るように配置されている。冗長救済信号線 8 は、互いに隣接するワード線 $WL(j)$ とワード線 $WL(j-1)$ との間を通るように配置されている。冗長救済信号線 8 とワード線 $WL(0)$ ないしワード線 $WL(n-1)$ とは同一の配線層に形成されている。

【 0 1 2 4 】

他方の行デコーダ 3 A と、対応する冗長救済信号生成回路 1 との間には、冗長救済信号を他方の行デコーダ 3 A へ供給するための冗長救済信号線 8 が他方のメモリセルアレイ 2 を横切るように配置されている。冗長救済信号線 8 は、互いに隣接するワード線 $WL(k)$ とワード線 $WL(k-1)$ との間を通るように配置

されている。冗長救済信号線 8 とワード線 WL (0) ないしワード線 WL (n-1) とは同一の配線層に形成されている。

【0125】

各行デコーダ 3 A は、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号をそれぞれ受け取り、それぞれ対応する冗長救済信号生成回路 1 によって生成された冗長救済信号に応じて、冗長メモリセル行 7 に沿って配置されたワード線 WL (r) をそれぞれ選択する。

【0126】

SRAM マクロ 10 D は、2 個のメモリセルアレイ 2 にそれぞれ対向するように配置された 2 個のデータ入出力回路 12 を有している。各データ入出力回路 12 には、列デコーダ 9 がそれぞれ設けられている。一方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 BL a (0) / NBL a (0)、…、BL a (m-1) / NBL a (m-1) のいずれかを選択する。他方のメモリセルアレイ 2 に対向する列デコーダ 9 は、アクセスすべきメモリセルが含まれるメモリセル列を示す列アドレス信号に基づいて相補ビット線対 BL b (0) / NBL b (0)、…、BL b (m-1) / NBL b (m-1) のいずれかを選択する。各データ入出力回路 12 は、各行デコーダ 3 A および各列デコーダ 9 によって選択されたメモリセルに対してデータを書き込み、または選択されたメモリセルからデータを読み出す。

【0127】

SRAM マクロ 10 D には、制御回路 11 が設けられている。制御回路 11 は、各行デコーダ 3 A および各列デコーダ 9 がそれぞれ設けられたデータ入出力回路 12 の動作を制御する。

【0128】

このように、各冗長救済信号線 8 を、メモリセルアレイ 2 を横切るように配線することで、各メモリセルアレイ 2 にそれぞれに対応する行方向冗長救済信号生成回路部 1 を、2 個のメモリセルアレイ 2 の間の共通の領域内に配置することができる。前述した実施の形態 1 および実施の形態 2 における構成のように、行方

向冗長救済信号生成回路部を S R A M マクロの外側に配置する場合に比べて、さらに面積的に有利な配置が可能となる。

【 0 1 2 9 】

（実施の形態 6）

図 6 は、実施の形態 6 に係る半導体記憶装置 1 0 0 E の構成を示すブロック図である。図 5 を参照して前述した半導体記憶装置 1 0 0 D の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。前述した半導体記憶装置 1 0 0 D と異なる点は、2 個の行方向冗長救済信号生成回路 1 の代わりに 1 個の行方向冗長救済信号生成回路 1 E を備えている点である。

【 0 1 3 0 】

図 7 は、行方向冗長救済信号生成回路 1 E の構成を示すブロック図である。行方向冗長救済信号生成回路 1 E は、冗長救済情報記憶部 2 1 を備えている。冗長救済情報記憶部 2 1 には、複数の第 1 冗長救済信号を表す情報と複数の第 2 冗長救済信号を表す情報が記憶されている。第 1 冗長救済信号は、一方のメモリセル 2 における不良メモリセル行を示すアドレスを表しており、第 2 冗長救済信号は、他方のメモリセル 2 における不良メモリセル行を示すアドレスを表している。

【 0 1 3 1 】

行方向冗長救済信号生成回路 1 E には、スイッチ素子群 2 2 A および 2 2 B が設けられている。スイッチ素子群 2 2 A および 2 2 B は、n 個のスイッチによってそれぞれ構成されており、冗長救済情報記憶部 2 1 に記憶された情報によって表される第 1 冗長救済信号および第 2 冗長救済信号を右側の行デコーダ 3 A および左側の行デコーダ 3 A へそれぞれ供給するように動作する。

【 0 1 3 2 】

行方向冗長救済信号生成回路 1 E は、スイッチ開閉制御回路 2 3 を備えている。スイッチ開閉制御回路 2 3 は、スイッチ素子群 2 2 A を制御するために設けられた P チャネル MOS トランジスタ 2 4 A およびヒューズ 2 5 A と、スイッチ素子群 2 2 B を制御するために設けられた P チャネル MOS トランジスタ 2 4 B お

よびヒューズ 2 5 B とを有している。P チャンネル MOS トランジスタ 2 4 A および 2 4 B は、ゲート端子が電源電位によって固定されており、かつ高いオン抵抗を有している。

【 0 1 3 3 】

このように構成された半導体記憶装置 1 0 0 E においては、スイッチ開閉制御回路 2 3 は、ヒューズ 2 5 A の切断の有無に応じてスイッチ素子群 2 2 A へスイッチ開閉制御信号を出力し、ヒューズ 2 5 B の切断の有無に応じてスイッチ素子群 2 2 B へ他のスイッチ開閉制御信号を出力する。

【 0 1 3 4 】

具体的には、ヒューズ 2 5 A、2 5 B が切断されていない状態においては、P チャンネル MOS トランジスタ 2 4 A、2 4 B が高いオン抵抗を有するため、ヒューズ 2 5 A、2 5 B を介して接地電位がスイッチ開閉制御信号として出力される。また一方でヒューズ 2 5 A、2 5 B が切断されている状態においては、P チャンネル MOS トランジスタ 2 4 A、2 4 B を介して電源電位がスイッチ開閉制御信号として出力される。つまりヒューズ 2 5 A、2 5 B のうち、いずれか一方を切断することにより、スイッチ開閉制御信号を電源電位もしくは接地電位のいずれかの固定電位信号とすることができ、それによりスイッチ素子群 2 2 A および 2 2 B のうちいずれか一方がオン状態になる。その結果、オン状態になったスイッチ素子群を介して冗長救済情報記憶部 2 1 に記憶されていた冗長救済情報である冗長救済信号が出力され、救済すべきメモリセルアレイが選択されることになる。

【 0 1 3 5 】

また冗長救済情報を記憶する冗長救済情報記憶部 2 1 にて記憶された N ビットの冗長救済信号はスイッチ素子群 2 2 A および 2 2 B を介して、冗長救済信号としてそれぞれメモリセルアレイへ出力される。

【 0 1 3 6 】

なお、実施の形態 6 における S R A M 自体の読出しおよび書込み動作は、前述した実施の形態 1 ないし実施の形態 5 と同様であるので、その説明を省略する。

【 0 1 3 7 】

このように、冗長救済信号線 8 を 2 個のメモリセルアレイ 2 上にてそれぞれ配線することで、2 個のメモリセルアレイ 2 のそれぞれに共通な行方向冗長救済信号生成回路部 1 E を、2 個のメモリセルアレイ 2 の間の共通の領域内に配置することができる。実施の形態 1 および実施の形態 2 の構成のように、行方向冗長救済信号生成回路部を S R A M マクロの外部に配置する構成に比べて、（実施の形態 5 の場合と同様に）さらに面積的に有利な配置が可能となる。さらに冗長救済情報を記憶させるヒューズをも共有化することができるため、更なる面積的なメリットを得ることができる。

【 0 1 3 8 】

また行方向冗長救済信号生成回路部 1 E がスイッチ素子群 2 2 A および 2 2 B を備えているため、2 個のメモリセルアレイ 2 において、双方のメモリセルアレイ 2 の間で、置換されるべきメモリセル行数が異なるような救済方法を採用することも可能となるため、より自由度の高い冗長救済機能を得ることができる。

【 0 1 3 9 】

さらに前述した実施の形態 1 ないし実施の形態 5 と同様に、2 本の行方向冗長救済信号線 8 を、それぞれ 2 個のメモリセルアレイ 2 内において、隣接するワード線間にて、各々と平行かつ同一配線層にて配線することにより、互いに隣接する各ワード線間において遮蔽効果を持たせることができる。

【 0 1 4 0 】

なお、実施の形態 6 における応用例として、行方向冗長救済回路 1 E を 2 個の行デコーダ 3 A の間に配置し、2 個のメモリセルアレイ 2 をそれぞれ 2 個の行デコーダ 3 A を挟んで行方向冗長救済信号生成回路 1 E と対向する位置に配置する構成においても、冗長救済情報を記憶させるヒューズを共有化することができ、同様の効果を得ることができる。

【 0 1 4 1 】

【発明の効果】

以上のように本発明によれば、空きスペースを低減し、面積ロスを抑えることができる半導体記憶装置を提供することができる。

【 0 1 4 2 】

また本発明によれば、S R A Mマクロにおけるワード線の配線が制約を受けな
いように冗長救済信号生成回路が配置された半導体記憶装置を提供することがで
きる。

【図面の簡単な説明】

【図 1】

実施の形態 1 に係る半導体記憶装置の構成を示すブロック図

【図 2】

実施の形態 2 に係る半導体記憶装置の構成を示すブロック図

【図 3】

実施の形態 3 に係る半導体記憶装置の構成を示すブロック図

【図 4】

実施の形態 4 に係る半導体記憶装置の構成を示すブロック図

【図 5】

実施の形態 5 に係る半導体記憶装置の構成を示すブロック図

【図 6】

実施の形態 6 に係る半導体記憶装置の構成を示すブロック図

【図 7】

実施の形態 6 に係る半導体記憶装置に設けられた行方向冗長救済信号生成回路
の構成を示すブロック図

【図 8】

従来の半導体記憶装置の構成を示すブロック図

【図 9】

従来の他の半導体記憶装置の構成を示すブロック図

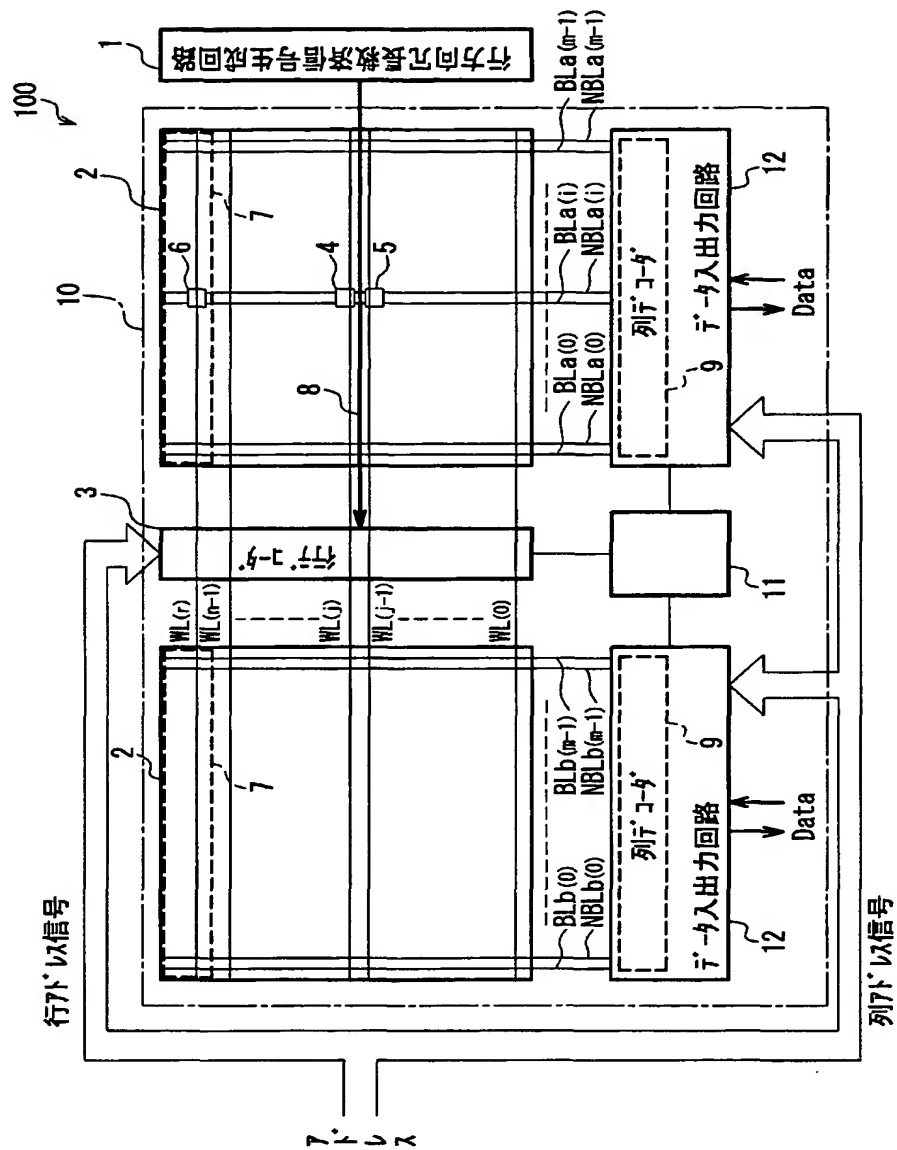
【符号の説明】

- 1 行方向冗長救済信号生成回路
- 2 メモリセルアレイ
- 3 行デコーダ
- 4 メモリセル
- 5 欠陥メモリセル

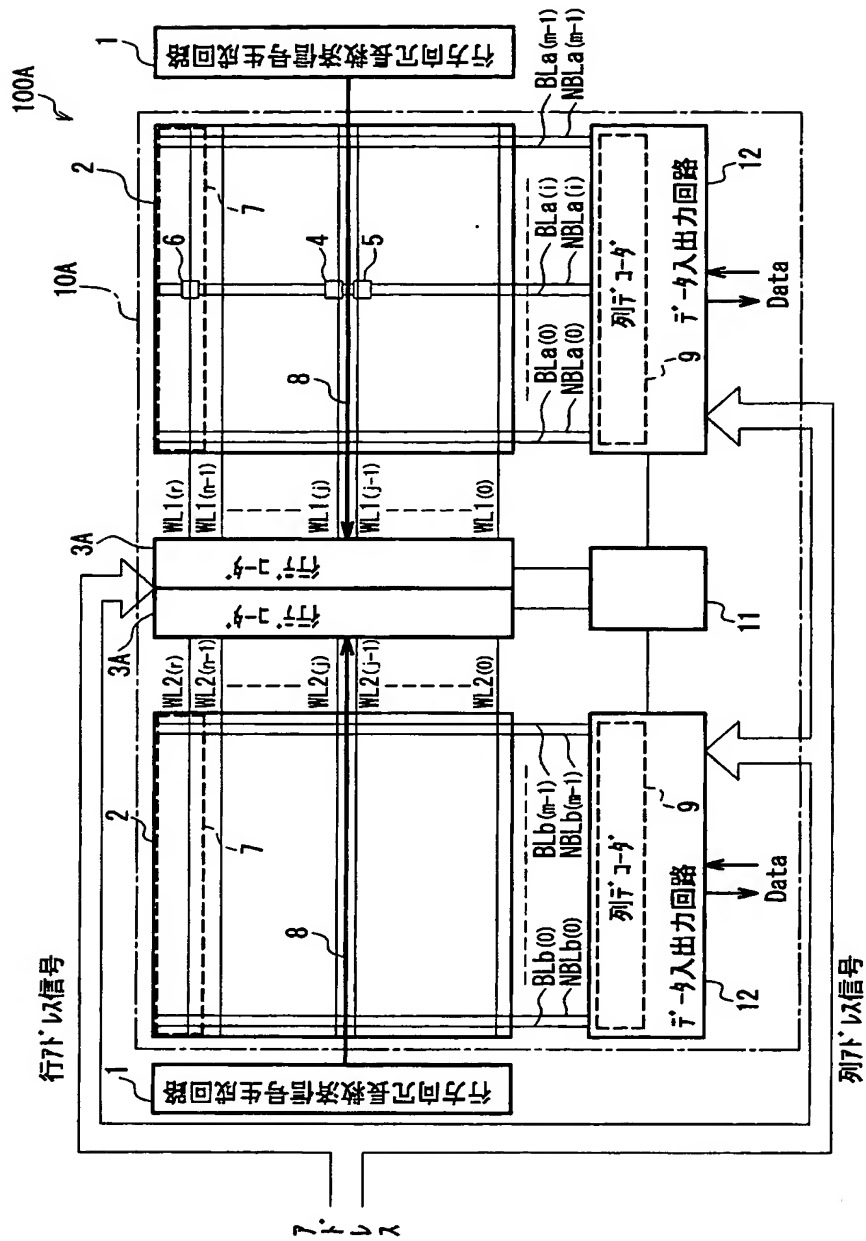
- 6 冗長メモリセル
- 7 冗長メモリセル行
- 8 冗長救済信号線
- 9 列デコーダ
- 1 0 S R A M マクロ
- 1 1 制御回路
- 1 2 データ入出力回路
- 2 1 冗長救済情報記憶部
- 2 2 A、2 2 B スイッチ素子群
- 2 3 スイッチ開閉制御回路
- 2 4 A、2 4 B PチャネルMOSトランジスタ
- 2 5 A、2 5 B ヒューズ

【書類名】 図面

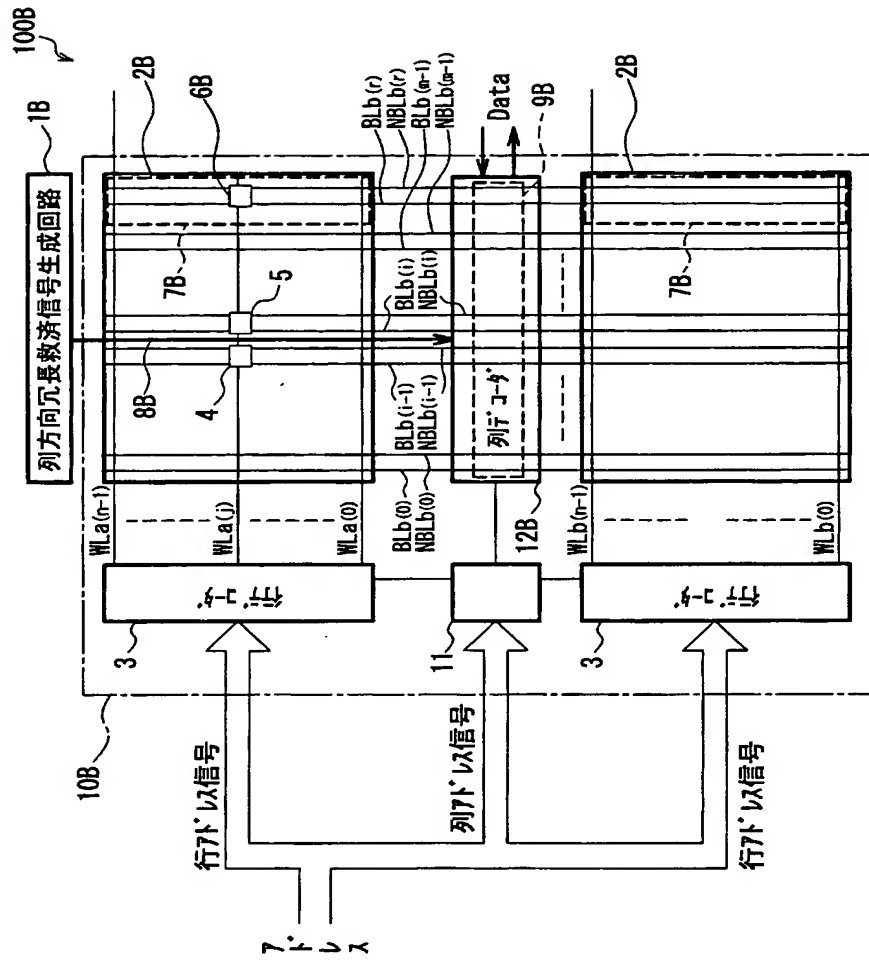
【図 1】



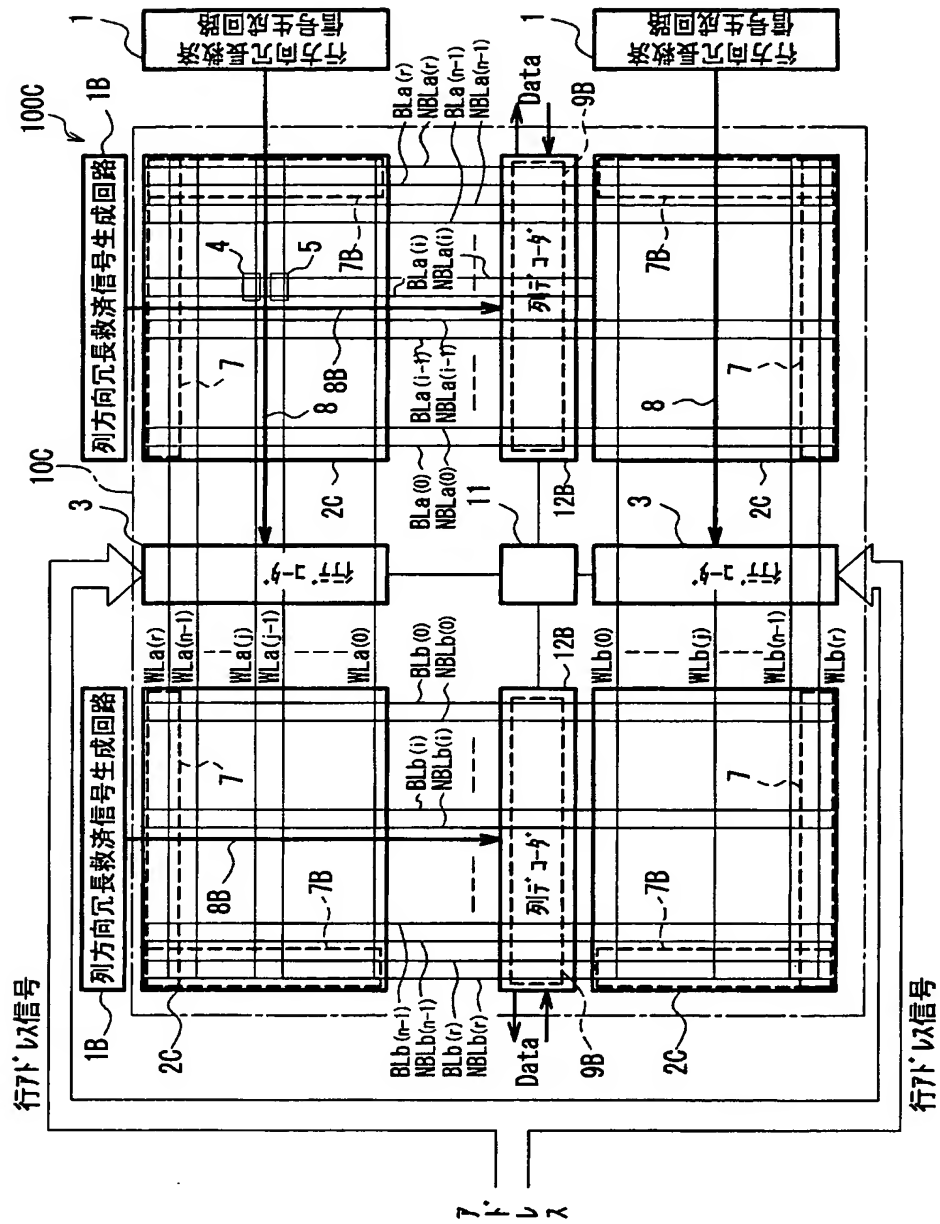
【図 2】



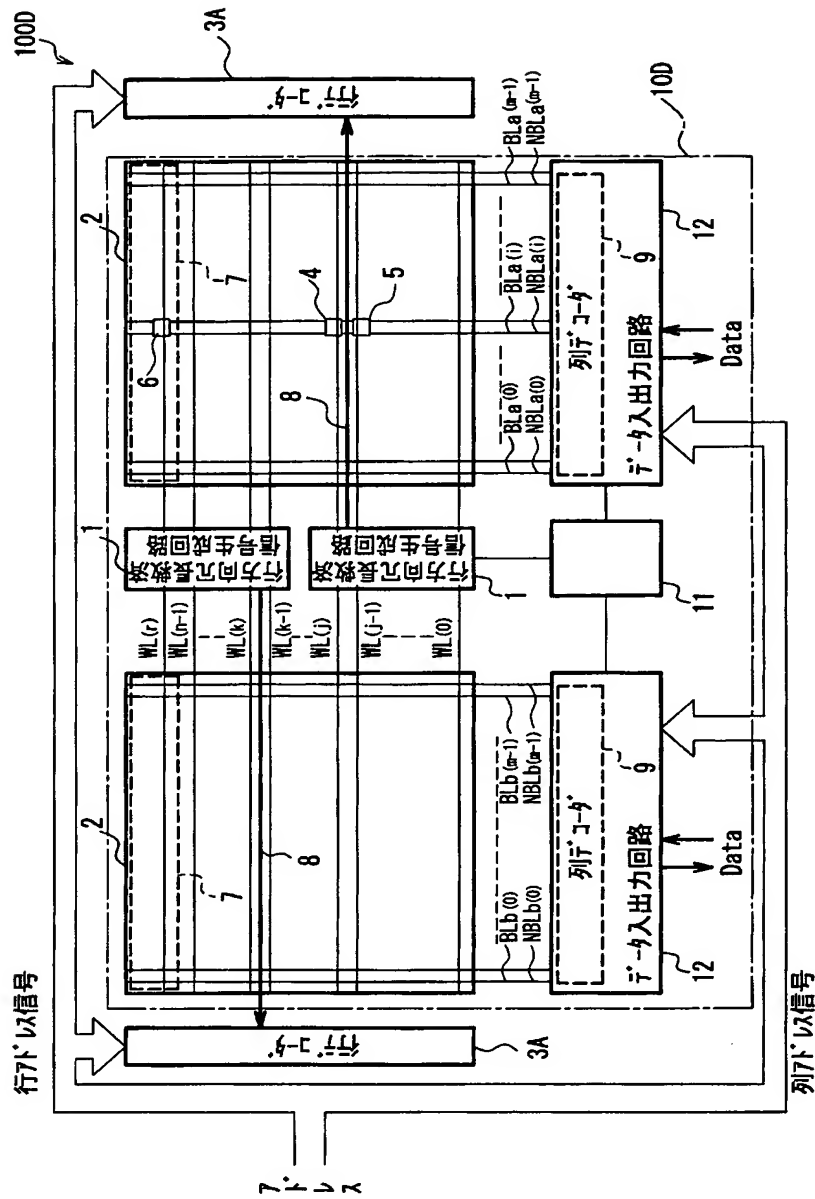
【図3】



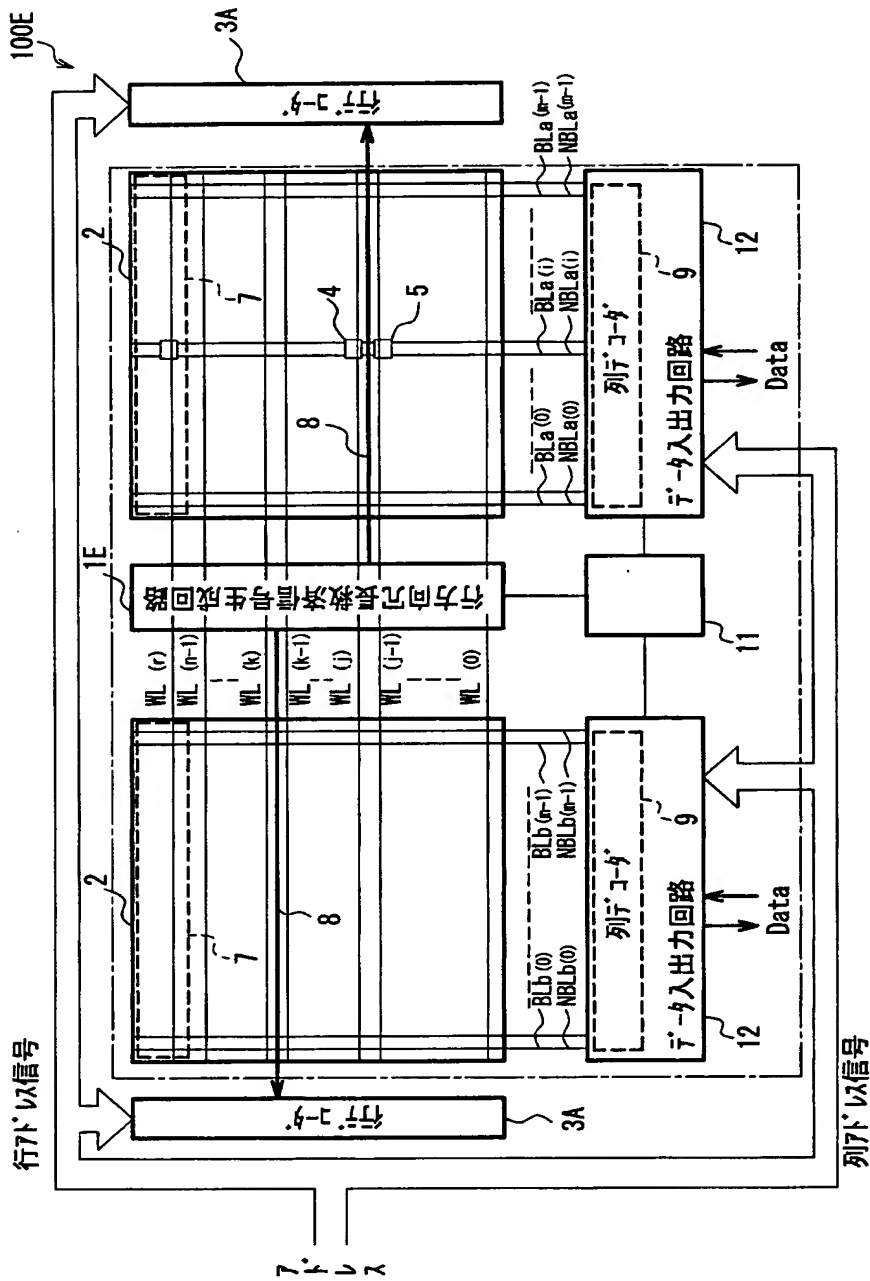
【図 4】



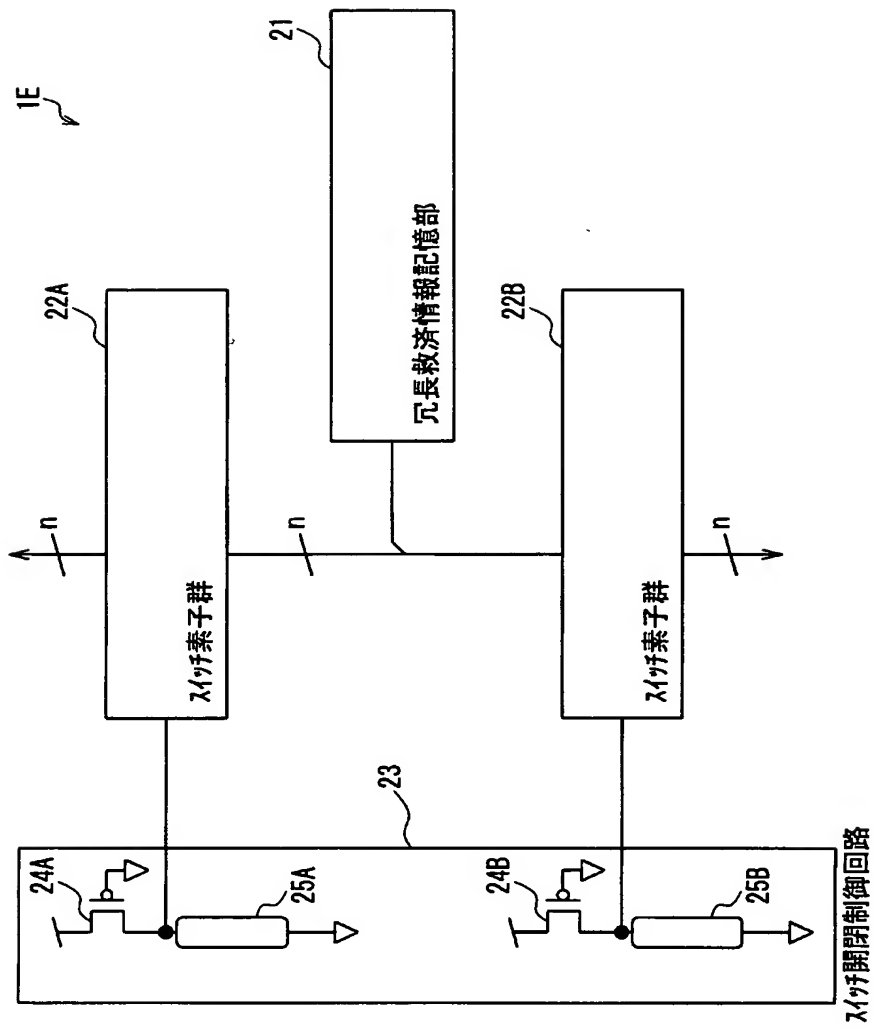
【図 5】



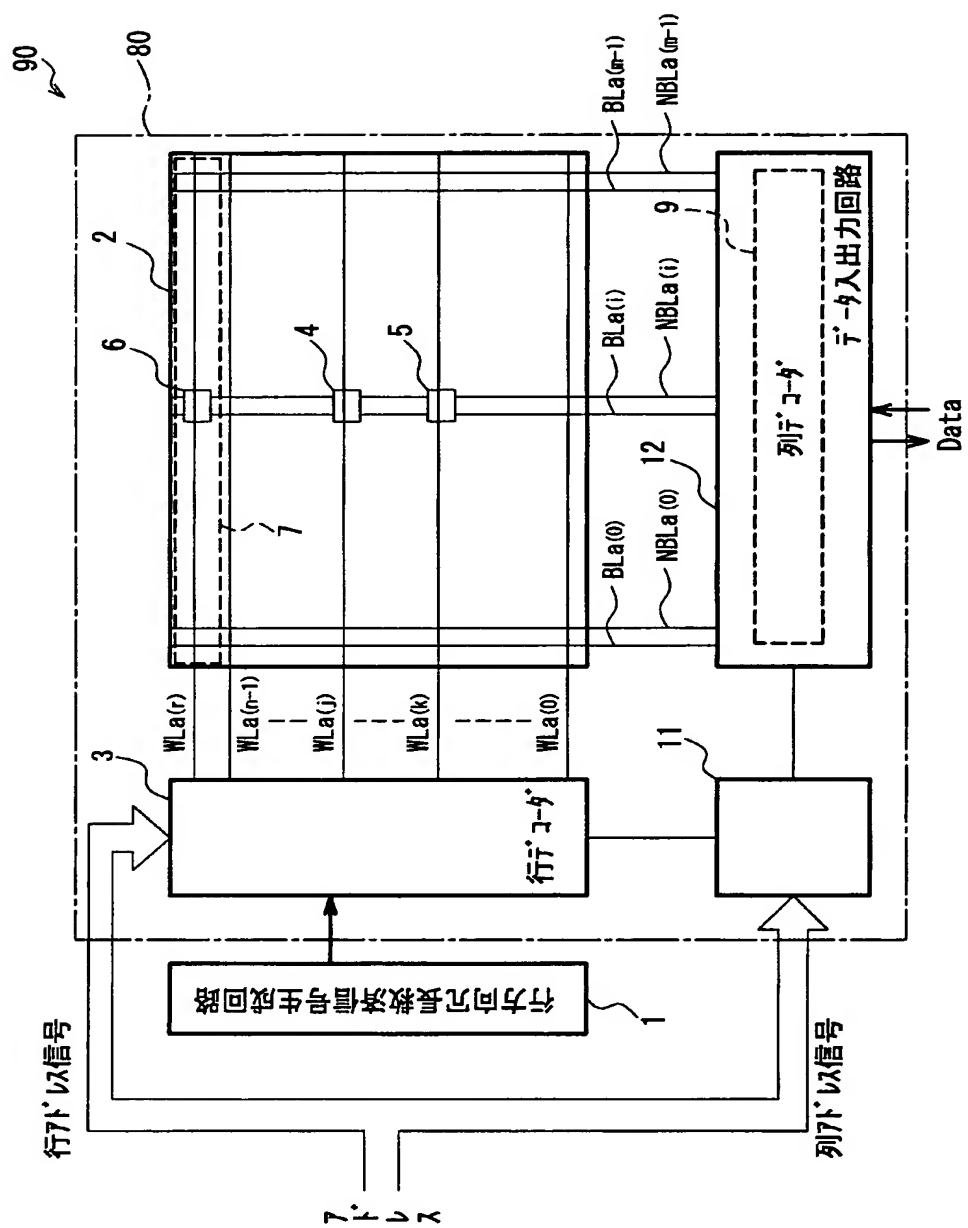
【図 6】



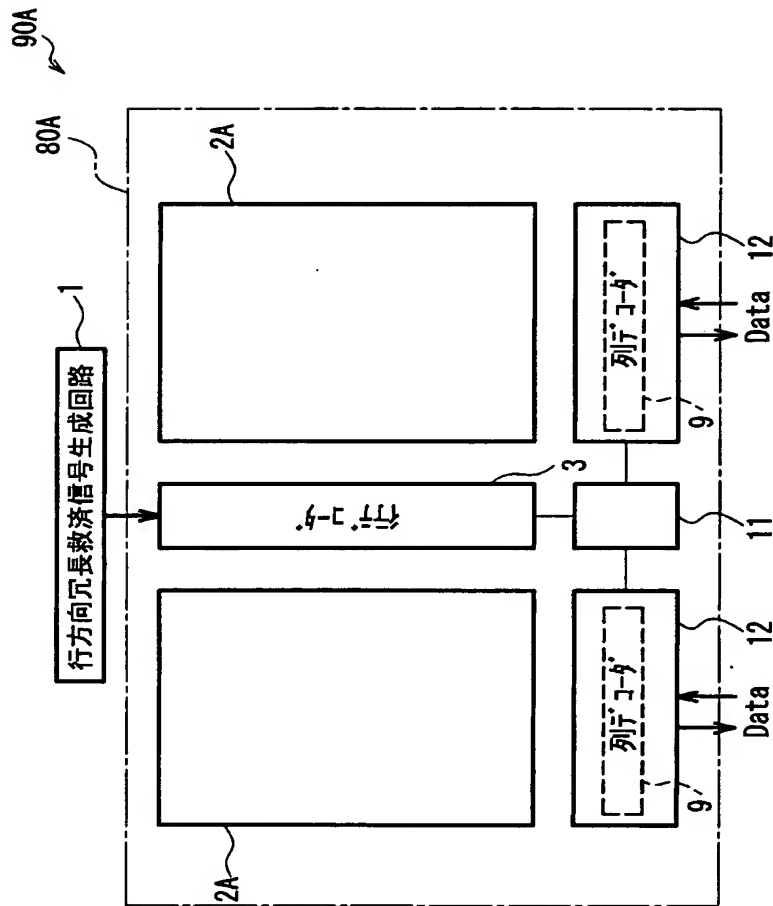
【図 7】



【図 8】



【 図 9 】



【書類名】 要約書

【要約】

【課題】 空きスペースを低減し、面積ロスを抑えることができる半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、複数行のメモリセル行と、少なくとも1行の冗長メモリセル行とを含んでいるメモリセルアレイと、前記欠陥メモリセル行のアドレスを示す冗長救済信号を生成する冗長救済信号生成回路と、アクセスすべきメモリセルが含まれるメモリセル行を示す行アドレス信号を受け取り、前記冗長救済信号生成回路によって生成された前記冗長救済信号に応じて前記冗長メモリセル行を選択する行デコーダとを具備しており、前記冗長救済信号生成回路は、前記メモリセルアレイを挟んで前記行デコーダと対向するように配置されていることを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社